

発明の名称 (TITLE OF THE INVENTION)

誤り訂正装置 (ERROR CORRECTION DEVICE)

発明の背景 (BACKGROUND OF THE INVENTION)

5 (1) 発明の属する技術分野 (Field of the Invention)

本発明は誤り訂正に関し、特にメインデータ部とパリティ部からなるデータ構造を有する光ディスク等の誤り訂正装置に関する。

(2) 従来の技術 (Description of the Prior Art)

近年、デジタル情報を高密度で記録するDVD (digital versatile disc) やCD (compact disc) -ROM (read only memory) が広く使用され出して来ている。ところで、これらの記録媒体に記録されている情報は、レーザを使用して記録、読み出し等がなされるだけに、個々のデジタル情報は寸法的に非常に小さい。さて、記録媒体はどのように注意して製造し、取り扱われても、指紋等による汚れや、小さな傷の発生を完全に防止するのは困難である。

15 このため、誤り訂正技術が必要不可欠となる。しかしながら、例えば、本来の情報7ビット毎にパリティ1ビットを加える如き単なる偶奇パリティでは、誤りが発生した場合、誤りの存在そのものは判ったとしても、どこに誤りが存在するのか、正しいデータはどうなのは不明である。また、誤りが2つ発生すれば誤りの発生そのものが判らなくなる。

そこで、例えば図1と図2に示すように、縦方向と横方向に複雑な構造のパリティを付して、誤り訂正を行うことがなされている。そして、このもとで、2重、3重どころか、多重の誤りが発生したとしても、リアルタイムで誤りを発見し、その訂正を行うものである。

なお、この際のパリティの付し方としては、誤り訂正を数式を解くという問題に帰着させるRS符号訂正等種々の技術が開発されている。ただし、RS符号訂正等は、例えば岩垂著 「符号理論入門」 昭星堂刊、その他「実線誤り訂正技術」 トリケップス刊等に記載されている周知技術であるため、これ以上の説明は省略する。

さて、DVD (デジタルビデオディスク) やCD-R OM等の光ディスク装置においては、データの誤り訂正是各々のデータフォーマットに従って行われる。

以下にDVDの誤り訂正に関して説明する。DVDの1セクタのデータフォーマットを図1に、誤り訂正コード (ECC, error correcting code) を含んだ1ブロックのデータフォーマットを図2に示す。図1に示すように、1セクタはヘッ

ダ、メインデータ、誤り検出コード（E D C, error detecting code）からなる。また、図2に示すように、DVDの誤り訂正コードを含んだ1ブロックは図1に示すセクタを含んでなり、横方向誤り訂正用の内符号パリティ、縦方向誤り訂正用の外符号パリティが付与された積符号となっている。（なお、本明細書では、原則として図5 1に示すセクタ+図2に示すその右側の内符号パリティを、特に誤解が生じないこと、一々区分けするのは煩雑なことのためセクタというものとする。）

ところでDVDの誤り訂正装置においては、リアルタイムでの誤り訂正と言ったところで、人の感覚でなく電子機器の処理の面からは時間がかかる事、誤りが無くなるまで何度も訂正を行うこと等のため復調後のデータを一旦バッファメモリに書き込んだ後、再度10 読み出してバッファメモリ上のデータに対して誤り訂正を行うのが一般的である。この際の誤り訂正であるが、これは内符号パリティを使った横方向誤り訂正と、外符号パリティを使った縦方向誤り訂正がある。

映像等本来のデータが連続する横方向（の符号列の）誤り訂正の場合は、1符号列（データ172バイトと内符号パリティ10バイト）毎にシンドローム計算を行い誤り符号を15 検出し、その情報を元に誤り位置、誤り数値を計算して誤り訂正を行う。また、縦方向誤り訂正の場合は、1符号列（データ192バイトと外符号パリティ16バイト）毎にシンドローム計算を行い誤り符号を検出し、その情報を元に誤り位置、誤り数値を計算して誤り訂正を行う。そして、先ず横方向、次いで縦方向の誤り訂正を所定数繰り返しての誤り訂正終了後に、誤り検出コード（E D C）を利用して、データに誤りが残っていないか（誤20 り訂正が正しく実行されたかどうか）を確認する為に誤り検出を行う。誤りが検出されなければ、誤り訂正が完了したことになる。

更にこのもとで、誤りの訂正されたバッファメモリ内のデータを下流側へ流し、上流側より得た次のセクタのデータをバッファメモリへ新たに書き込む。

次に、従来の誤り訂正装置の一例を図3に示す。本図に示すように、この誤り訂正装置25 は、システム全体を制御するシステム制御装置1、後述のバッファメモリと各ブロック間とのDMA（直接記憶アクセス、direct memory access）転送を司るDMA制御装置2、バス制御装置3、復調後のデータを格納するバッファメモリ4、誤り訂正のため解くべき方程式たるシンドロームを生成するシンドローム計算器5、シンドローム計算器で生成されたシンドロームを元に誤り位置及び誤り数値計算を行い、誤り訂30 正を実行する誤り訂正器6、誤り訂正後のデータに誤りが含まれていないかを検出するあ

るいは誤りが完全に訂正されてしまったか否かを検査する誤り検出器7等よりなる。そして、これらバス制御装置3、バッファメモリ4、シンドローム計算器5、誤り訂正器6、誤り検出器7はデータバス11により接続されている。

また、12は、システム制御装置1からDMA制御装置2に対してDMAの実行を指示するDMAコマンド（図に示しているのは、正確にはその信号線。ただし、これも一々正確に記すのは煩雑となること、誤解の恐れもないことよりこのように記す。そしてこれは、他の信号線でも同様である。）である。13は、DMA制御装置2からバス制御装置3に対してDMAの要求を行うDMAリクエストである。14は、バッファメモリ4に対するデータの読み出しや書き込みを実行するバッファメモリアクセス信号である。15は、シンドローム計算器5にバッファメモリ4のデータを供給することを示すシンドロームデータ供給信号である。16は、シンドローム計算器5で生成されたシンドロームである。

17は、誤り訂正器6がバス制御装置3に対してバッファメモリのアクセスを要求するアクセス要求信号である。18は、誤り訂正器6に対するデータの読み出しや書き込みを実行する誤り訂正器アクセス信号である。19は、誤り訂正器6で誤り訂正が完了したことを示す誤り訂正完了信号である。20は、誤り検出器7にバッファメモリ4のデータを供給することを示す誤り検出データ供給信号である。21は、誤り検出器7で誤りが検出されたか否かを示す誤り検出信号である。

次にまた、図4に1セクタにおける横方向誤り訂正の手順を示す。

以下、図3及び図4を参照しつつ、この従来の誤り訂正装置の1セクタにおける横方向の誤り訂正の手順を説明する。

(a-1) システム制御装置1は、DMA制御装置2に対しDMAコマンド12を出力し、バッファメモリ4からシンドローム計算器5への1符号列×13回のデータ転送を指示する。

(a-2) DMA制御装置2は、バス制御装置3に対しDMAリクエスト13を出力し、バッファメモリ4からシンドローム計算器5へのデータ転送を要求する。

(a-3) バス制御装置3は、データバス11の使用調停（調整）を行った後、バッファメモリ4及びシンドローム計算器5に対して、アドレス及び読み出し／書き込み等を指示するバッファメモリアクセス信号14、シンドロームデータ供給信号15を出力し、バッファメモリ4からシンドローム計算器5へデータを転送する。

(a-4) シンドローム計算器5では、転送された1符号列毎に誤り符号検出を行い、

誤りがあればシンドローム 16 を誤り訂正器 6 に出力する。

(a-5) 誤り訂正器 6 では、シンドローム 16 を元に誤り位置、誤り数値を計算する。そして、バッファメモリ 4 上の誤りデータの訂正を行う為、バス制御装置 3 に対してアクセス要求信号 17 を出力し、誤りデータの読み出しを要求する。

5 (a-6) バス制御装置 3 は、データバス 11 の使用調停を行った後、バッファメモリ アクセス信号 14、誤り訂正器アクセス信号 18 を各バッファメモリ 4 と誤り訂正器 6 に出力し、バッファメモリ 4 から誤りデータを読み出して誤り訂正器 6 に供給する。

(a-7) 誤り訂正器 6 では、誤ったデータを訂正した後、再びバス制御装置 3 に対して、アクセス要求信号 17 により訂正終了データのバッファメモリ 4 への書き込みを要求す
10 る。

(a-8) バス制御装置 3 は、データバス 11 の使用調停を行った後、誤り訂正器 6 から訂正終了データを読み出して、バッファメモリ 4 への上書きによる書き込みを実行する。同時に、誤り訂正器 6 は、システム制御装置 1 に訂正完了信号 19 を出力する。

15 (a-9) システム制御装置 1 は、データに誤りが残っていないかを確認する為、DMA 制御装置 2 に対し DMA コマンド 12 を出力し、バッファメモリ 4 から誤り検出器 7 へのデータ転送を指示する。

(a-10) DMA 制御装置 2 は、バス制御装置 3 に対し DMA リクエスト 13 を出力し、バッファメモリ 4 から誤り検出器 7 へのデータ転送を要求する。

20 (a-11) バス制御装置 3 は、データバス 11 の使用調停を行った後、バッファメモリ 4 及び誤り検出器 7 に対して、アドレス及び読み出し／書き込み等を指示するバッファメモリアクセス信号 14、誤り検出データ供給信号 20 を出力し、バッファメモリ 4 から誤り検出器 7 へのデータ転送を実行する。

(a-12) 誤り検出器 7 は、転送されたデータに対して誤り検出を実行し、誤り検出信号 21 によりシステム制御装置 1 に誤りが検出されたか否かを通知する。

25 以上の手順により、1 セクタ分の横方向誤り訂正が完了する。

以降、同様に外符号パリティ部も含めて後続する 15 セクタ分の横方向誤り訂正をも実行し、1 ブロックの横方向誤り訂正を完了する。そして、全セクタで誤りが検出されなければ誤り訂正動作を完了し、1 セクタでも誤りが検出されれば、縦方向誤り訂正等、次の処理を実行する。

30 しかしながら、上記従来例のやり方では、シンドローム計算器でシンドロームを計算し、

その後誤り訂正器での訂正終了後に、更に誤り検出器で誤り検出を行う為、一連の処理に時間がかかるてしまう。特に、記憶手段としてのバッファメモリへのアクセスそして再度の読み出しは、電気回路的になされるのではなく、読み出し手段とバッファメモリとの相対的な移動という機械的な作用がなされることも多く、この面からも余計に時間がかかる。

- 5 また、近年CD-R等へのデジタルデータの書き込み、CD-R等からのデジタルデータの読み出しの精度が大きく向上しているが、この場合誤り訂正器での誤り訂正がほとんどないのにもかかわらず、誤りのない事を確認後の先頭部のデータについても更に誤り検出器で誤り検出を行うこととなることが多い。ひいては、誤り訂正と誤り検出は本来平行処理が可能なことが多い、あるいはほとんどであるのに、わざわざ相前後してなされ
10 ることとなる。このため、この面からも処理に時間がかかる。

そしてこれらは、特に将来のDVD等の高密度化、高速読み出し化等を考慮した場合、必ずしも満足のいくものではない。

- また、特定の画像データの記録されている位置の確認や画像データの内容の検査等のための高倍速再生では、必ずしも完全な画像データの再生は必要でなく、この一方CPUの
15 プログラム関連データ等では多少時間がかかるても完全な再生が必要なことが多い等誤り訂正に要求される性能の内容が相違するが、これへの対応も満足がいくとは言いがたい。

このため、誤り訂正処理をそれについて要求される性能に応じて、より正確、迅速に行える誤り訂正装置の開発が望まれていた。

20 課題を解決するための手段 (SUMMARY OF THE INVENTION)

本発明は、以上の課題を解決することを目的としてなされたものであり、誤り訂正がなされる列までの列のデータは誤り訂正器による誤り訂正によって変化しないこと、このため当該列までのデータの誤り検出機器への転送を改善しうること、誤り発生率と1列当たりのデータ数等に着目したものである。具体的には、以下のようにしている。

- 25 第1のアスペクト (aspect) は、一つの誤り訂正符号が本来の映像、音響等のデータ部と内符号パリティ部から構成されるN列の誤り訂正符号で一つの誤り検出コード (EDC) を有する構造 (上述の如く1セクタと呼ぶ) のデータを少なくとも1セクタ (ただし、実際の各部間のデータの転送等はECC単位でなされることが多いが、ともかく本請求項の発明の処理では、1セクタ分で充分である。) 格納する (読み出しや上書きが可能な
30 様様で記憶する。) バッファメモリと、バッファメモリから読み出されたデータに対して誤り

がある場合には所定の手順でシンドロームを生成するシンドローム計算手段と、シンドローム計算手段で生成されたシンドロームから誤り位置の検出及び誤り数値計算を実行してバッファメモリ内の誤りデータの訂正を行なう誤り訂正手段と、誤り訂正手段によって訂正されたデータに対して他に誤りがないかを検査する、すなわち誤り検出を行う誤り検出手段と、誤り検出手段における誤り検出処理の途中結果を格納する高速で書き込みと読み出しが可能なレジスタ等からなる記憶手段と、バッファメモリとシンドローム計算手段と誤り訂正手段と誤り検出手段との間のデータ転送を司る（読み出し、上書き等に際して各部の衝突等が生じないよう制御する。）バス制御手段と、誤り訂正のための各種の処理を所定の手順で行いまた必要な回数なさしめる等の制御をするシステム制御手段とを有する誤り訂正装置において更に以下のような構成としている。

バス制御手段は、シンドローム計算手段で誤り符号が検出されるまでは、バッファメモリに記憶されているデータを、シンドローム計算手段と誤り検出手段とに列単位で、そして同時に誤り訂正するために転送する（ここに転送とは、物の転送でなくデータの転送であるため、バッファメモリにもデータが残されている状態をも含む。そして本請求項のみならず、他の請求項の発明では原則として残っているであろう。）。そして、シンドローム計算手段で誤り符号が検出されると、後続の列のデータはシンドローム計算手段のみに転送する。そして、シンドローム計算手段により誤り符号の検出された列のみならず当該セクタの全ての列の誤り訂正後に、当該セクタのデータにつき誤り符号が検出されたデータを含む符号列から最後の符号列までに発見された誤り訂正後のデータを前記バッファメモリから新たに読み出して、誤り検出手段に転送する。

誤り検出手段は、シンドローム計算手段で誤り符号が検出されるまでは、バッファメモリから送られてくるデータに対する誤り検出の途中結果を符号列毎に記憶手段に格納しながら、シンドローム計算手段でのシンドローム計算と並行して誤り検出を実行する。シンドローム計算手段で一旦誤り符号が検出されると、その並行しての誤り検出処理を中止する。更にその誤りが検出された列以降の誤り検出は、誤り訂正手段による誤り訂正が終了した後、バッファメモリからこの訂正後のデータを転送され、この下で記憶手段に記憶されたデータに続行する列から誤り検出を実行する。

これにより、誤り訂正後の誤り検出手段による誤り検出は、誤り符号が検出されるまでの列については記憶手段に格納しているデータを使用することとなる。ひいては、誤り検出の途中結果を使用することとなる。この為、誤りが一度検出され、訂正された後の誤り

検出処理が途中から実行でき、誤り訂正に必要な時間を大幅に短縮できる。

ひいては、将来の高速読み出しに対しても充分対応可能な誤り訂正装置となる。

なお、以上その他、誤り訂正手段による誤り訂正後のデータのバッファメモリへの書き込みのためのバス制御手段による各種の調整がなされ、また誤り訂正が1回で終了しない場合には、システム制御手段の作用の下で横方向、縦方向、横方向、縦方向と繰り返しての誤り検出と誤り訂正がなされたり、更にまた装置によっては読み出し速度を変更してのレーザディスク等からの再度の読み出しがなされたりたりもする。そのため、これらの機能発揮のための構成をも有しているが、それらは自明、かつ周知技術であるため、わざわざの説明は省略する。

10 第2のアスペクトにおいては、バッファメモリからのメモリの読み出し、バッファメモリへの書き込み、更にはデータのバスによる転送はDMA転送としている。このため、処理速度が大きく向上する。

更に、高密度、高性能のIC、CPUの開発された今日、システム制御装置を有しているため、単なる回路、結線による処理等に比較して各部の処理、調停（調整、制御）も円滑になしうる。

第3のアスペクトにおいては、一つの誤り訂正符号がデータ部とパリティ部から構成されるN列の誤り訂正符号で一つの誤り検出コードを有するデータ構造のデータを少なくとも1セクタ格納するバッファメモリと、該バッファメモリから読出されたデータに対して誤り訂正についての方程式たるシンドロームを生成するシンドローム計算手段と、シンド

20 ローム計算手段で生成されたシンドロームから誤り位置の検出及び誤り数値計算を行ってバッファメモリ内の誤りデータの訂正を行なう誤り訂正手段と、誤り訂正手段によって訂正されたデータに対して1セクタ毎に再度の、あるいはケースによっては3度目、4度目の誤り検出を行う誤り検出手段と、バッファメモリとシンドローム計算手段と誤り訂正手段と誤り検出手段との間のデータ転送を司るバス制御手段と、誤り訂正のための各種の処理を所定の手順で行いまた必要な回数なさしめる等の制御をするシステム制御手段とを有する誤り訂正装置において更に以下のような構成としている。

30 バス制御手段は、シンドローム計算手段で誤り符号が検出されるまではシンドローム計算手段と誤り検出手段とに対してバッファメモリから同時に誤り訂正すべきデータを転送し、シンドローム計算手段で誤り符号が検出された場合のみ、誤り訂正手段により当該誤りのみならず以降の列についても誤りが訂正された後に、誤り符号が検出されたデータを

含むセクタの誤り訂正後のデータをバッファメモリから誤り検出手段に転送するよう制御する。

誤り検出手段は、シンドローム計算手段でのシンドローム計算と並行して誤り検出を実行し、シンドローム計算手段で誤り符号が検出された場合のみ、誤り訂正手段による誤り訂正後のデータに対して再度誤り検出を実行する。

これにより、シンドローム計算で1セクタ内に誤り符号が1つも検出されなかった場合には、以降の誤り処理を全く必要としなくなる（済んでしまっている。）為、誤り訂正に必要な時間を大幅に短縮できる。特に、近年のCD-ROMの製造や材料等における技術の向上のもと、製造ミス、製造後のユーザ等の不適切な取扱い等による微小な傷の発生も僅少となり、ひいては誤り訂正なされない列がほとんどである。このため、以降の列の処理を全く必要としなくなることがほとんどであり、発明の効果が大きくなる。

第4のアスペクトにおいては、第1のアスペクトに対する第2のアスペクトと同様の作用、効果が第3のアスペクトに対して得られる。

第5のアスペクトにおいては、一つの誤り訂正符号がデータ部とパリティ部から構成されるN列の誤り訂正符号で一つの誤り検出コードを有するデータ構造のデータを少なくとも1セクタ格納するバッファメモリと、該バッファメモリから読出されたデータに対してシンドロームを生成するシンドローム計算手段と、シンドローム計算手段で生成されたシンドロームから誤り位置及び誤り数値計算を実行してバッファメモリ内の誤りデータの誤り訂正を実行する誤り訂正手段と、誤り訂正手段によって訂正されたデータに対して1セクタ毎に誤り検出を行う誤り検出手段と、誤り検出手段における誤り検出処理の途中結果を格納する記憶手段と、バッファメモリとシンドローム計算手段と誤り訂正手段と誤り検出手段との間のデータ転送を司るバス制御手段と、誤り訂正のための各種の処理を所定の手順で行いまた必要な回数なさしめる等の制御をするシステム制御手段とを有する誤り訂正装置において更に以下の構成としている。

バス制御手段は、シンドローム計算手段で誤り符号が検出されるまでは、シンドローム計算手段と誤り検出手段とに列単位で同時に誤り訂正すべきデータをバッファメモリから転送する第1の転送を実行する。そして、シンドローム計算手段で誤り符号が検出されると第1の転送を中断し、誤り符号を含む符号列の誤り訂正手段による誤り訂正後に、訂正された符号列をバッファメモリから誤り検出手段に転送する第2の転送を実行する。更に、この第2の転送の完了後に、後続の列に対して第1の転送を再開する。そして、この処理

を誤り符号が検出される毎に実行することとなる。

誤り検出手段は、シンドローム計算手段で誤り符号が検出されるまでは、バッファメモリから送られてくるデータに対しての誤り検出の途中結果を符号列毎に記憶手段に順に格納しながら、シンドローム計算手段でのシンドローム計算と並行して誤り検出を行う第 1
5 の誤り検出を実行する。シンドローム計算手段で誤り符号が検出されると、当該符号列について誤り訂正手段による誤り訂正後のものにつき誤り検出を行いまた記憶手段の次の位置に格納する。そして、当該符号列の誤り検出が完了後に、先の第 1 の誤り検出を再開する。更にまた、シンドローム計算手段で誤り符号が検出される毎に以上の処理を繰り返す。

10 そしてこれにより、誤りが検出された符号列の訂正後のデータのみを誤り検出器に再転送することにより、誤り符号検出、誤り訂正、誤り検出の一連の誤り訂正処理が並列に実行可能となり、誤り訂正に必要な時間を大幅に短縮できる。

第 6 のアスペクトにおいては、第 1 のアスペクトに対する第 2 のアスペクトと同様の作用、効果が第 5 のアスペクトに対して得られる。

15 第 7 のアスペクトにおいては、複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデータ、例えばセクタを単位として誤り訂正を行うデータ構造たる ECC
C データを少なくとも 1 ECC ブロック格納する（なお本請求項の発明に限るならば、1
ECC ブロックで充分である。）バッファメモリと、該バッファメモリから読み出されたデ
20 ータに対してシンドロームを生成するシンドローム計算手段と、シンドローム計算手段で
生成されたシンドロームから誤り位置及び誤り数値計算を行ってバッファメモリ内の誤り
データを訂正する誤り訂正手段と、バッファメモリから読み出されたデータに対して誤り
検出を行う誤り検出手段と、バッファメモリと前記シンドローム計算手段と誤り訂正手段
と誤り検出手段との間のデータ転送を司るバス制御手段と、誤り訂正のための各種の処理
25 を所定の手順で行いまた必要な回数なさしめる等の制御をする（従って、不必要ならば、
唯 1 回の誤り訂正のみのことも有りうる）システム制御手段を有する誤り訂正装置において、以下の作用がなされる。

30 システム制御手段内の第 1 回誤り訂正制御小手段は、第 1 回目の誤り訂正として、バッ
ファメモリから誤り検出コードの計算と同じ方向にデータを読み出して、シンドローム計
算手段が誤り符号を検出するまではシンドローム計算手段と誤り検出手段とに同時に転送

し、前者にはシンドローム計算を後者には誤り検出を並行して実行させる。更に、シンドローム計算手段が誤り符号を検出するとシンドローム計算手段に後続するデータを送り続け、また誤り訂正手段に対して誤り訂正を実行させ、併せて当該誤り符号を含む符号列を特定する情報をシンドローム計算手段若しくは誤り訂正手段から（含む、両方から）システム制御装置に対して出力させる。

同じく（システム制御手段内の）偶数回誤り訂正制御小手段は、偶数回目の誤り訂正として、先の奇数回目の誤り訂正で行った方向と異なる方向の符号列についてバッファメモリから読み出して、シンドローム計算手段が誤り符号を検出するまではシンドローム計算手段と誤り検出手段とに同時に転送し、前者にはシンドローム計算を後者には誤り検出を並行して実行させる。更に、シンドローム計算手段が誤り符号を検出すると誤り訂正手段に対して誤り訂正を実行させ、併せてその誤り訂正時に誤り訂正手段から得られる誤り訂正符号列内の誤り符号の位置を特定する情報をシステム制御装置に対して出力させる。

同じく誤り不存在範囲特定小手段は、誤り符号を含む符号列を特定する情報と誤り訂正符号列内の誤り符号の位置を特定する情報とから、奇数回目及びそれに続く偶数回目の誤り訂正で誤り符号が検出されなかった範囲をセクタ単位で特定する。

同じく奇数回誤り訂正制御小手段は、第3回以降の奇数回目の誤り訂正として、1 ECC ブロック内で誤り不存在範囲特定小手段が先の偶数回までの誤り訂正で誤り符号の検出されなかった範囲としたセクタを除き先の奇数回目の誤り訂正で行ったのと同じ方向の符号について、シンドローム計算手段が誤り符号を検出するまではシンドローム計算手段と誤り検出手段とに同時に転送し、前回までの誤り検出、誤り訂正の結果訂正がなされたセクタについての処理結果を流用させつつ前者にはシンドローム計算を後者には誤り検出を並行して実行させる。更に、シンドローム計算手段が誤り符号を検出すると誤り訂正手段に対して誤り訂正を実行させ、併せて当該誤り符号を含む符号列を特定する情報をシンドローム計算手段若しくは上記誤り訂正手段からシステム制御装置に対して出力させる。

同じく回数制御小手段は、奇数回と偶数回の誤り訂正を予め定めた回数を上限とする等の所定回繰り返させる。

第8のアスペクトにおいては、回数制御小手段は、近年の技術の発達の下同じ内容の処理を何回も繰り返してもあまり意味がないので、誤り訂正を最大3度繰り返させるだけにしている。このため、万が一3回の処理で完全な誤り訂正がなされなければ、速度を換えての再度のディスクからの読み出し、訂正アルゴリズムの変更、映像データならば多少のノ

イズがあつても多くの場合差し障りが少ないためそのまま後流側に流す、あるいは前のシーンの同一位置のデータを流用する等の他の処理がなされる。なお、念のため記載するならば、他のアスペクトにおいても、何度かの訂正後に完全な訂正がなされなければ、同様の処理がなされる。

5 第9のアスペクトにおいては、第7のアスペクト若しくは第8のアスペクトの誤り訂正装置が更に、シンドローム計算手段による誤り符号の検出の有るまでは、誤りの検出されなかつた各符号列についての誤り検出手段における誤り検出処理の途中結果を符号列単位で順に格納する記憶手段を有し、この下で以下の作用がなされる。

10 誤り不存在範囲特定小手段は誤り不存在セクタの符号列範囲特定小手段であり、処理対象のECC内での誤り符号を含む符号列を特定する情報と誤り訂正符号列内の誤り符号の位置を特定する情報とから、奇数回目及びそれに続く偶数回目の誤り訂正で誤り符号が検出されなかつた範囲をセクタの符号列単位で特定する。

15 奇数回誤り訂正制御小手段は途中結果利用奇数回誤り訂正制御小手段であり、第3回目以降の奇数回の誤り訂正時には、誤り不存在セクタの符号列範囲特定小手段の特定した情報を基に、バス制御手段に誤り符号の検出されたセクタの先頭からではなく誤り符号が検出されたセクタの符号列から以降のデータの同時転送を開始させ、併せてシンドローム計算手段には当該符号列からシンドローム計算をなさせ、上記誤り検出手段には前記記憶手段に記憶された内容を初期値としてセクタの途中の符号列から誤り検出を実行させる。

20 第10のアスペクトにおいては、第7と第8のアスペクトの誤り訂正装置において、シンドローム計算手段による誤り符号の検出の有るまでは、誤りの検出されなかつた各符号列についての誤り検出手段における誤り検出処理の途中結果を各セクタ毎に符号列単位で順に格納する各セクタ用記憶手段を有しており、このため第9のアスペクトと同様の作用が、各セクタの各符号列単位でなされる。

25 第11のアスペクトにおいては、第7と第8のアスペクトの誤り訂正装置において、シンドローム計算手段による誤り符号の検出の有るまでは、誤りの検出されなかつた各符号列についての誤り検出手段における誤り検出処理の途中結果を各セクタ群毎に符号列単位で順に格納する各セクタ群用記憶手段を有しており、このため第9のアスペクトと同様の作用が、各セクタ群の各符号列単位でなされる。

30 第12から15のアスペクトにおいては、複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符号列を縦方向と横方向とに複数配置し、縦若しくは横方向

の所定数の列からなる所定のデータ、例えばセクタを単位として誤り訂正を行うデータ構造たるECCデータを複数対象にしてその誤り訂正を並列に行う（所謂パイプライン処理）ため、第3と4を除く各アスペクトの誤り訂正装置において、更に以下の作用がなされる。

バッファメモリは複数ECCブロック区分け記憶可能型バッファメモリであり、並列に5 处理する複数のECCブロックをパイプライン処理に相応して、順にあるいは概念的にはドーナツ型なら輪番的にアドレスを割り当てる等の区分け等をして記憶し、またこれに応じての読み出し等がなされる。

誤り検出手段の生成する誤り検出処理の途中結果を格納する記憶手段は、処理対象ECCブロック区分型記憶手段であり、これまた各処理対象のECCブロック毎に所定の手順10 で区分けして途中結果を格納する。

前記システム制御手段内の各手段用ECCブロックパイプライン処理認識制御小手段は、誤り訂正処理の終了した1つ若しくは複数のECCブロック（そして原則として先に誤り訂正のためバッファメモリに格納されたECCブロック）を後流側へ流し、それに換えて新しく処理対象になった1つ若しくは複数のECCブロックを複数ECCブロック区分け15 記憶可能型バッファメモリの所定のアドレス、例えば後流側へ流したECCブロックのアドレスへ上書き等により格納し、併せてこの事をバス制御手段、シンドローム計算手段、誤り検出手段、誤り訂正手段に認識させる。具体的には、それら各手段が作用を発揮する際参照する処理対象テーブルを書き換えたりする。なお、以上その他、後流側の機器では、必要に応じて送られてきた各ECCブロックを本来の順にならべかえる等の処理もなされ20 る。

同じく、各手段用各ECCブロック認識制御小手段は、バス制御手段によるシンドローム計算手段と誤り検出手段と誤り訂正手段への誤り検出や誤り訂正のためのデータの転送の制御、誤り訂正手段による誤り訂正、バス制御手段による該訂正後のデータの前記バッファメモリへの書き込みに際しての制御、誤り検出手段が記憶手段へ途中結果を格納する際に目下処理対象としているECCブロックを認識し、必要な処理対象のECCブロックの選定を行わせる。

同じく、自手段内各小手段用のパイプライン処理における各ECCブロック認識制御小手段は、自システム制御手段内の第1回誤り訂正制御小手段、偶数回誤り訂正制御小手段、奇数回誤り訂正制御小手段、回数制御小手段その他若し有しているならばDMA転送指示30 小手段等に誤り訂正処理の終了したECCブロックを後流側へ流しそれに換えて新しく処

理対象になったECCブロックを前記複数ECCブロック区分け記憶可能型バッファメモリへ格納したことと、各小手段が目下処理対象としているECCブロックとを認識させる。

第16から19のアспектにおいても、第3と4を除く第11までの各アспектの誤り訂正装置において更に、複数のECCブロックの誤り訂正を並列に行う所謂パイプライン処理を行うため、以下の作用がなされる。

バッファメモリは、各ECCブロック区分け記憶可能型バッファメモリであり並列に処理する各ECCブロックを区分けして格納し、読出しが可能である。

誤り検出手段の生成する誤り検出処理の途中結果を格納する記憶手段は、処理対象ECCブロックと符号列等区分け可能型記憶手段であり、目下処理対象としている各ECCブロック毎に区分けし、更に各ECCブロック毎の符号列、各ECCブロックの各セクタ群毎の符号列若しくは各ECCブロックの各セクタ毎の符号列を区分けして格納する。

システム制御手段内の各手段用ECCブロックパイプライン処理認識制御小手段は、誤り訂正処理の終了したECCブロックを後流側へ流し、それに換えて新しく処理対象になったECCブロックを複数ECCブロック区分け記憶可能型バッファメモリへ格納し、併せてこの事をバス制御手段、シンドローム演算手段、誤り検出手段、誤り訂正手段に認識させる。

同じく各手段用各ECCブロック符号列等認識制御小手段は、バス制御手段によるシンドローム計算手段と誤り検出手段と誤り訂正手段への誤り検出や誤り訂正のためのデータの転送の制御、誤り訂正手段による誤り訂正、バス制御手段による該訂正後のデータのバッファメモリへの書き込みに際しての制御、誤り検出手段が記憶手段へ途中結果を格納する際に、目下処理対象としているECCブロックについて、処理対象ECCブロックと符号列等区分け可能型記憶手段の記憶する内容に相応して、必要な処理対象のECCブロックの符号列等の選定を行わせる。

同じく自手段内各小手段用のパイプライン処理における各ECCブロック符号列等認識制御小手段は、自システム制御手段内の第1回誤り訂正制御小手段、偶数回誤り訂正制御小手段、奇数回誤り訂正制御小手段、回数制御小手段その他若し有しているならばDMA転送指示小手段等に誤り訂正処理の終了したECCブロックを後流側へ流しそれに換えて新しく処理対象になったECCブロックを前記複数ECCブロック区分け記憶可能型バッファメモリへ格納したことと、処理対象ECCブロックと符号列等区分け可能型記憶手段の記憶する内容に相応して各小手段が目下処理対象としているECCブロックの符号列等

とを認識させる。またこれらのパイプライン処理、誤り検出の途中結果の利用の効率化、円滑化のため、システム制御手段は概念的には、各処理対象のECCブロック、各ECCブロックの各セクタ、各符号列毎の処理対象の一覧表を有している。

第20から23のアスペクトの発明においても、第3と4を除く第11までの各アスペクトの誤り訂正装置において、第12から第15のアスペクトのパイプライン処理が原則として先のECCブロックから順に個々に処理対象としてバッファメモリに格納され、原則として誤り訂正是先になされ、更に個々に後流側へ送られるのに対して、先から順ではあるが幾つかのECCブロックが一括してバッファメモリに格納され、誤り訂正後は一括して後流側へ送られるのが相違する。

このため、例えばビデオーオンデマンドシステムにおいてはできる限り多数の視聴者に同一タイトルの映画等を略同一時刻に送信するため、映像データを極短い時間分ずつ区切って配信したりするが、この際便利である。すなわち、例えば1シーン分のデータずつ誤り訂正し、完全な訂正が不能の場合にはCPUが前後のシーンのデータから外挿訂正したりするのに都合が良い。

また、検索のための高倍速再生で、飛び飛びの1シーン分のデータを取り入れて誤り訂正する際にも都合が良い。なおこの場合には、CPU等の記録や通信の規約(EOP信号等)による1シーンのデータの認識等が別途なされるのは勿論である。

第24から27のアスペクトでは、第20から23のアスペクトの誤り訂正装置が第2回目以降の誤り訂正に際して前の誤り計算の途中結果を利用するのECC単位であるのに対して、セクタあるいはセクタ群等一定のデータ単位で途中結果を利用する。このため、第16から19のアスペクトが第12から15のアスペクトに対して持つ利点、効果を第29から23のアスペクトに対して持つ。

第28のアスペクトにおいては、複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデータ(横方向ならセクタ)を単位として誤り訂正を行うデータ構造たるECCデータを複数対象にしてその誤り訂正を行うだけでなく、復調した符号をバッファメモリに格納する際にもこれと並列にシンドローム計算と誤り検出を行う誤り訂正装置誤り訂正装置である。このため、以下の作用がなされる。

第1のシンドローム計算手段は、バッファメモリを介して(のデータを対象として)シンドローム計算を行う。

第1の誤り検出手段は、第1のシンドローム計算手段と組であり、同時に誤り検出を行う。

第2のシンドローム計算手段は、復調した符号を対象としてバッファメモリを介さず（直接）シンドローム計算を行う。

5 第2の誤り検出手段は、第2のシンドローム計算手段と組であり、同時に誤り検出を行う。

記憶手段は、第1の誤り検出手段と第2の誤り検出手段の演算の途中結果の内、正しい部分を符号列、セクタ順に格納する。

10 バッファメモリ並行転送手段は、上流から送られてきたデータを、第2のシンドローム計算手段が誤り符号を検出するまではバッファメモリに格納するのに並行して第2のシンドローム計算手段と第2の誤り検出手段とともに同時に送る。

誤り検出手段切換えスイッチは、第2のシンドローム計算手段が誤り符号を検出した後は、当該誤り符号が検出されるまでの符号列に対する第2の誤り検出手段の演算の途中結果を記憶手段に送る。

15 誤り訂正手段は、第1の誤り検出手段若しくは第2の誤り検出手段が誤り符号列を検出した後は誤り訂正を行い、直接あるいは間接にバッファメモリのデータの訂正等もなす。

並行転送制御手段は、同じ方向の第2回目以降の誤り訂正においては、第1のシンドローム計算手段が誤り符号を検出するまではバッファメモリに格納されているデータのうち、記憶手段に格納されている以降の符号列から第1のシンドローム計算手段と第1の誤り検出手段とに送る。

第2回目以降検出処理済データ流用制御手段が、同じ方向の第2回目以降の誤り検出手段による誤り検出においては、記憶手段に記憶されている途中結果を利用して以降の符号列の誤り検出を行わせる。シンドローム計算手段も、以降のデータから計算を再開する。

25 第29のアスペクトにおいては、第28のアスペクトが第2回目以降の誤り訂正でECC単位で前の計算結果を利用するのに対して、セクタ、セクタ群等の一定のデータ単位で前の計算結果を利用する。このため、丁度第24から27のアスペクトが第20から23のアスペクトに対して有する利点を有することとなる。

30 第30のアスペクトは、第20から23あるいは第24から27のアスペクトと第28あるいは29のアスペクトとを組み合わせたものである。このため、復調されたデータはバッファメモリに格納される際も誤り訂正がなされ、更にバッファメモリに格納された後

のデータの誤り訂正はいわゆるパイプライン処理でなされ、更にまた前回の誤り計算の途中結果はECC単位あるいはセクタやセクタ群単位で利用されることとなる。

またこのため、復調されたデータのシンドローム計算等を直接行うシンドローム計算手段や誤り計算手段は、復調された所定の全データをバッファメモリに格納後はバッファメモリのデータを対象にシンドローム計算等を行うこととなる。従って、更に誤り計算の高速化がなされる。従って、例えば旧く保存状態も悪い、このため誤り訂正が多くなされることが多い記憶媒体のデータの高倍速処理等に便利である。

第31から50のアспектにおいては、バッファメモリが2個あり、1方のバッファメモリのデータが誤り訂正の対象になっている場合に、他方のバッファメモリに続行するセクタやECCブロック等の所定容量のデータが書き込まれ、1方のバッファメモリから誤り訂正の終了したデータが後流側に送るため読み出されている間に他方のバッファメモリの続行するセクタ等のデータが既に誤り訂正の対象になっている。またこのため、アクセス対象バッファメモリ切換え制御手段は、バス制御手段やシステム制御手段に必要に応じてのアクセス対象のバッファメモリを指示する。従って、本発明の途中結果を利用して高速での誤り訂正をなすと言う効果が一層發揮される。

なお、通常時の速度で読み出し復調されたデータの誤り訂正が困難な場合には、速度を変更しての再度の読み出しが成される装置の場合には、再度の読み出しが成された同一セクタのデータが続行するセクタのデータに換えて若しくはその次に格納され、続行するセクタのデータは更にその後訂正対象とされる（前者の場合）あるいは先に訂正された後に順番を入れ換える（後者の場合）等の必要な処理が成されるようになっているのは勿論である。

ただし、2個のバッファメモリの交互の切換え、再度の読み出し時の1セクタのデータのずらし等は、プログラム的にも回路やハード的にも今日では特に困難な技術でない。このため、これらについての説明は省略する。

25

図面の簡単な説明 (BRIEF DESCRIPTION OF THE DRAWINGS)

図1は、DVDの1セクタのデータフォーマットを示す図である。

図2は、DVDの誤り訂正コードを含んだ1ブロックのデータフォーマットを示す図である。

30 図3は、従来の誤り訂正装置の構成図である。

図4は、上記誤り訂正装置の処理の手順を示した図である。

図5は、本発明の第1の実施の形態の誤り訂正装置の構成図である。

図6は、上記誤り訂正装置の処理の手順を示した図である。

図7は、本発明の第2の実施の形態の誤り訂正装置の構成図である。

5 図8は、上記誤り訂正装置の処理の手順を示した図である。

図9は、本発明の第3の実施の形態の誤り訂正装置の構成図である。

図10は、上記誤り訂正装置の処理の手順を示した図である。

図11は、本発明の第4の実施の形態の誤り訂正装置の構成図である。

図12は、本発明の第5の実施の形態の誤り訂正装置の構成図である。

10 図13は、上記実施の形態の誤り訂正装置の誤り符号とデータ転送範囲を説明する図である。

図14は、上記誤り訂正装置の処理の手順を示した図である。

図15は、本発明の第6の実施の形態の誤り訂正装置の構成図である。

図16は、上記実施の形態の誤り訂正装置の動作を説明するタイミング図である。

15 図17は、上記実施の形態の誤り訂正装置の誤り符号とデータ転送範囲を説明する図である。

図18は、本発明の第7の実施の形態の誤り訂正装置の構成図である。

図19は、上記実施の形態の誤り訂正装置でのパイプライン処理の効果を概念的に示す図である。

20 図20は、本発明の第8の実施の形態の誤り訂正装置の構成図である。

図21は、上記実施の形態の誤り訂正装置でパイプライン処理を円滑に行うために制御部が保持し、管理している参照表を概念的に示す図である。

好ましい実施の形態 (DESCRIPTION OF THE PREFERRED EMBODIMENTS)

25 以下、本発明をその実施の形態に基づいて説明する。

(第1の実施の形態)

本実施の形態は、途中結果レジスタを有し、シンドローム計算機からシステム制御装置へ誤り符号検出信号と誤り符号列信号が入力される等のことが従来のものと異なる。

図5に本実施の形態の誤り訂正装置の構成を示す。本図において、システム制御装置1、

30 DMA制御装置2、バス制御装置3、バッファメモリ4、シンドローム計算器5、誤り訂

正器 6、誤り検出器 7 は、基本的には従来技術に示すものと同じであり、このため同一の符号を付してある（なお、以降の実施の形態でも基本的には同じ作用をなす構成部には、個数が増加したため区別する等のため特に必要がある場合を除き、同一の符号を付すものとする。）。

5 そしてこれら各部は従来技術のものと同じく、バス制御装置 3、バッファメモリ 4、シンドローム計算器 5、誤り訂正器 6 及び誤り検出器 7 はデータバス 1 1 により接続されている。

DMAコマンド 1 2、DMAリクエスト 1 3、バッファメモリアクセス信号 1 4、シン
10 ドローム供給信号 1 5、シンドローム 1 6、アクセス要求信号 1 7、誤り訂正器アクセス
信号 1 8、訂正完了信号 1 9、誤り検出データ供給信号 2 0、誤り検出信号 2 1 も基本的
には従来技術に示すものと同じであり、このため、機器と同じく従来技術の欄と同一の符
号を付し、その内容の一般的な説明は省略する。そしてこれらのこととは、他の実施の形態
でも同様である。

15 8 は、誤り検出器 7 における誤り検出処理の途中結果を格納する途中結果レジスタであ
る。なお、この途中結果レジスタ 8 は、誤り検出器に接続されている。2 2 は、シンドロ
ーム計算器 5 で誤りを含む符号列が検出されたことを示す誤り符号検出信号であり、シス
テム制御装置 1 と誤り検出機 7 へ入力される。2 3 は、シンドローム計算器 5 でどの符号
列で誤りが検出されたかを示す誤り符号列信号であり、システム制御装置 1 へ入力される。

以下、以上の構成の誤り訂正装置の動作を図 6 を参照しつつ説明する。

20 ここに、図 6 は 1 セクタにおける横方向誤り訂正の手順を示したものである。（b -
1）誤り検出器への転送も指示される他は、従来技術の（a - 1）と同様の処理がなされ
る。

(b - 2) DMA制御装置 2 は、バス制御装置 3 に対し DMAリクエスト 1 3 を出力し、
バッファメモリ 4 からシンドローム計算器 5 及び誤り検出器 7 へのデータ転送を要求する。

25 (b - 3) バス制御装置 3 は、データバス 1 1 の使用調停を行った後、バッファメモリ
4 にバッファメモリアクセス信号 1 4 を出力しデータの読み出しを行う。そして、シンドロ
ーム計算器 5 及び誤り検出器 7 に対し、それぞれシンドロームデータ供給信号 1 5、誤り
検出データ供給信号 2 0 を出力し、バッファメモリ 4 から読み出したデータをシンドローム
計算器 5 及び誤り検出器 7 に供給する。

30 (b - 4) シンドローム計算器 5 では、転送された 1 符号列毎に誤り符号検出を行い、

シンドローム 1 6 を誤り訂正器 6 に出力する。また、シンドローム計算器 5 では、誤った符号列が検出されると、誤り符号検出信号 2 2 を誤り検出器 7 及びシステム制御装置 1 に出力し、更にどの符号列で誤りが検出されたかを示す誤り符号列信号 2 3 をシステム制御装置 1 に出力する。

5 一方、誤り検出器 7 でも 1 符号列毎に誤り検出処理を実行する。そして、誤り符号検出信号 2 2 によって誤り符号の検出が通知がされない場合だけ、1 符号列毎の誤り検出の途中結果をメモリに比較して応答性の早い途中結果レジスタ 8 に格納する。なお、誤り符号の検出が通知された場合には、誤り検出器 7 は当該列を含めてそれ以降の誤り検出は行なわない。

10 (b-5) 従来技術の (a-5) と同じ処理がなされる。

(b-6) バス制御装置 3 は、データバス 1 1 の使用調停を行った後、バッファメモリ 4 にバッファメモリアクセス信号 1 4 を出力しデータの読み出しを行う。そして、誤り訂正器 6 に誤り訂正器アクセス信号 1 8 を出力し、バッファメモリ 4 から読み出したデータを誤り訂正器 6 に供給する。

15 (b-7) 従来技術の (a-6) と同じ処理がなされる。

(b-8) バス制御装置 3 は、データバス 1 1 の使用調停を行った後、誤り訂正器 6 から訂正終了データを読み出して、バッファメモリ 4 への書き込みを実行する。1 セクタ分の誤り訂正が完了すると、誤り訂正器 6 は、システム制御装置 1 に訂正完了信号 1 9 を出力する。

20 なお、ステップ (b-4) とステップ (b-5) から (b-8) まではパイプライン的に並行して実行される。

(b-9) システム制御装置 1 は、訂正処理完了後のデータに誤りが含まれていないことを確認する為に、DMA制御装置 2 に対し DMAコマンド 1 2 を出力し、バッファメモリ 4 から誤り検出器 7 へのデータ転送を指示する。この際、ステップ (b-4) でシンドローム計算器 5 から最初に出力された誤り符号検出信号 2 2 と同時に出力された誤り符号列信号 2 3 で示された符号列からのデータ転送を指示する。

(b-10) 従来技術の (a-10) と同じ処理がなされる。

(b-11) バス制御装置 3 は、データバス 1 1 の使用調停を行った後、バッファメモリ 4 にバッファメモリアクセス信号 1 4 を出力しデータの読み出しを行う。そして、誤り検出器 7 に対し誤り検出データ供給信号 2 0 を出力し、バッファメモリ 4 から読み出したデータ

タを誤り検出器 7 に供給する。

(b-12) 誤り検出器 7 は、途中結果レジスタ 8 に格納されている誤り検出途中結果を初期値として使い、引き続き転送されたデータに対して誤り検出を実行し、誤り検出信号 21 によりシステム制御装置 1 に誤りが検出されたか否かを通知する。

- 5 なお、ステップ (b-4) でシンドローム計算器 5において誤り符号が検出されなかつた場合には、ステップ (b-5) から (b-8) の誤り訂正動作は、上流側の列から順にステップ (b-4) と並行して実行されるが、誤り符号が検出されていないのでバッファメモリ上のデータの誤り訂正動作は行われない。そして、ステップ (b-4) で誤り検出器 7 による誤り検出処理は完了し、誤り検出信号 21 によりシステム制御装置 1 に誤りが検出されたか否かを通知する。この場合、ステップ (b-9) から (b-12) は実行されない。

以上の動作により、1セクタ分の横方向誤り訂正が完了する。以降、同様に 15 セクタ分の横方向誤り訂正を実行し、1 ブロックの横方向誤り訂正を完了する。そして、全セクタで誤りが検出されなければ誤り訂正動作を完了し、1 セクタでも誤りが検出されれば、

- 15 縦方向誤り訂正等、次の処理を実行する。

- 以上のように本実施の形態によれば、バッファメモリからシンドローム計算器へのデータ転送と同時に誤り検出器にもデータの転送を行い、シンドローム計算器で誤り符号が検出されるまでは、シンドローム計算と並行して誤り検出を実行する。そして、誤り訂正器による誤り訂正後の誤り検出は、既に送られ、そして途中結果レジスタに入っている誤り符号が検出されるまでの誤り検出途中結果を使用する為、誤り検出器に全データをバッファメモリから転送する必要がない。更に、これと共に、誤り検出処理も途中から実行できることとなる。この為、誤り訂正処理時間を大幅に短縮できる。

- 具体的には、誤りの発生を 0.05%とした場合、2048 バイト中に存在する誤りの個数は、平均 1 個であり、平均して横方向 12 列の中央列当りに発生することとなる。このため、途中結果レジスタには最初の 6 列が格納されており、誤り訂正後の転送は、後の 6 列のみで済むこととなる。従って、誤り検出処理時間もほぼ半分となる。

(第 2 の実施の形態)

- 本実施の形態においては、シンドローム計算器から、誤りを含む符号列が検出されたセクタであることを示す誤り符号セクタ検出信号がシステム制御装置へ出力されるのが、従来技術のものと相違する。

図7に、本実施の形態の誤り訂正装置の構成を示す。本図においても、従来技術や先の第1の実施の形態における各部と同一あるいは同様の作用、効果を有する構成部分及び信号（線）には同一の符号を付すことにより、その説明は省略する。

以下、図8に示す1セクタにおける横方向誤り訂正の手順を参照しつつ本実施の形態の誤り訂正装置の動作を説明する。

以下、本図を参照しつつ1セクタ分の横方向誤り訂正を説明する。

(c-1) 先の実施の形態の(b-1)と同じ処理がなされる。

(c-2) DMA制御装置2は、バス制御装置3に対しDMAリクエスト13を出力し、バッファメモリ4からシンドローム計算器5及び誤り検出器7へのデータ転送を要求する。

(c-3) バス制御装置3は、データバス11の使用調停を行った後、バッファメモリ4にバッファメモリアクセス信号14を出力しデータの読み出しを行う。そして、シンドローム計算器5及び誤り検出器7に対し、それぞれシンドロームデータ供給信号15、誤り検出データ供給信号20を出力し、バッファメモリ4から読み出したデータをシンドローム計算器5及び誤り検出器7に供給する（第1の実施の形態の(b-3)と同じである）。

(c-4) シンドローム計算器5では、転送された1符号列毎に誤り符号検出を行い、シンドローム16を誤り訂正器6に出力する。また、シンドローム計算器5では、1セクタ内に誤った符号列が検出されると、誤り符号セクタ検出信号22をシステム制御装置1に出力する。一方、誤り検出器7でも転送データに対して誤り検出処理を実行する。

(c-5) 従来技術の(a-5)と同じ処理がなされる。

(c-6) バス制御装置3は、データバス11の使用調停を行った後、バッファメモリ4にバッファメモリアクセス信号14を出力しデータの読み出しを行う。そして、誤り訂正器6に誤り訂正器アクセス信号18を出力し、バッファメモリ4から読み出したデータを誤り訂正器6に供給する。

(c-7) 従来技術の(a-7)と同じ処理がなされる。

(c-8) 第1の実施の形態の(b-8)と同じ処理がなされる。

なお、ステップ(c-4)とステップ(c-5)から(c-8)まではパイプライン的に並行して実行される。

(c-9) 従来技術の(a-9)と同じ処理がなされる。

(c-10) 同じく(a-10)と同じ処理がなされる。

(c-11) 第1の実施の形態の(b-11)と同じ処理がなされる。

(c-12) 従来技術の(a-12)と同じ処理がなされる。

なお、ステップ(c-4)でシンドローム計算器5において1セクタ内に誤った符号列が検出されなかった場合には、ステップ(c-5)から(c-8)の誤り訂正動作は、ステップ(c-4)と並行して実行されるが、誤り符号が検出されていないのでバッファメモリ上のデータの誤り訂正動作は行われない。
5

そして、ステップ(c-4)で誤り検出器7による誤り検出処理は完了し、誤り検出信号111によりシステム制御装置1に誤りが検出されたか否かを通知する。この場合、ステップ(c-9)から(c-12)は実行されない。

以上の動作により、1セクタ分の横方向誤り訂正が完了する。以降同様に15セクタ分の横方向誤り訂正を実行し、1ブロックの横方向誤り訂正を完了する。そして、全セクタで誤りが検出されなければ誤り訂正動作を完了し、1セクタでも誤りが検出されれば、縦方向誤り訂正等、次の処理を実行する。
10

以上のように本発明の実施の形態によれば、バッファメモリからシンドローム計算器へのデータ転送と同時に誤り検出器にもデータ転送を行い、シンドローム計算と並行して誤り検出を実行する。そして、シンドローム計算で1セクタ内に誤り符号が1つも検出されなかった場合には、以降の処理を全く必要としない為、誤り訂正処理時間を大幅に短縮できる。このため、将来の技術発達のもと、誤りの発生率が更に低下した場合に、より本発明の効果は大きくなる。
15

更に、先の実施の形態と比較した場合、メモリに比較して高価な途中結果レジスタも不要となる。
20

(第3の実施の形態)

本実施の形態においては、シンドローム計算器で誤りを含む符号列が検出されたことを示す誤り符号検出信号がDMA制御装置と誤り検出器へ出力され、また誤り検出器からもDMA制御装置と誤り検出器へ誤り符号列信号が出力され、更に途中結果レジスタがある
25 のが従来技術のものと異なる。

図9に、本実施の形態の誤り訂正装置の構成を示す。本図においても、従来技術や先の各実施の形態と同一若しくは同様の作用、効果をなす構成部分等については同一の符号を付し、これによりその説明は省略する。

本図において、22は誤り符号検出信号であり、これが出力されると誤り検出器7では誤り検出処理を停止するとともに、DMA制御装置2ではバッファメモリ4からシンドロ
30

ーム計算器 5 へのデータ転送を中断する。更に、23 は、誤り訂正器 6 が 1 符号列の誤り訂正が終了すると、出力する 1 符号列誤り訂正終了信号である。

図 10 に、この装置の 1 セクタにおける横方向誤り訂正の手順を示す。以下、本図を参照しつつ本実施の形態の誤り訂正装置の動作を説明する。

- 5 (d-1) 先の実施の形態の (c-1) と同じ処理がなされる。
- (d-2) 同じく (a-2) と同じ処理がなされる。
- (d-3) 第 1 の実施の形態の (a-3) と同じ処理がなされる。
- (d-4) シンドローム計算器 5 では、転送された 1 符号列毎に誤り符号検出を行い、シンドローム 16 を誤り訂正器 6 に出力する。また、シンドローム計算器 5 では、誤った符号列が検出されると、誤り符号検出信号 22 を誤り検出器 7 及び DMA 制御装置 2 に出力する。一方、誤り検出器 7 でも 1 符号列毎に誤り検出処理を実行する。そして、誤り符号検出信号 22 によって誤り符号の検出が通知がされない場合だけ、1 符号列毎の誤り検出の途中結果を途中結果レジスタ 8 に格納する。誤り符号検出信号 22 によって誤り符号の検出が通知された場合には、誤り検出器 7 では誤り検出処理を中断する。同時に、DMA 制御装置 2 にも誤り符号の検出が通知され、DMA 制御装置 2 ではバス制御装置 3 に対し DMA リクエスト 23 の出力を停止する。そして、バス制御装置 3 ではバッファメモリ 4 からシンドローム計算器 5 へのデータ転送を中断する。
- (d-5) 従来技術の (a-5) と同じ処理がなされる。
- (d-6) 第 1 の実施の形態の (b-6) と同じ処理がなされる。
- 20 (d-7) 従来技術の (a-7) と同じ処理がなされる。
- (d-8) バス制御装置 3 は、データバス 11 の使用調停を行った後、誤り訂正器 6 から訂正終了データを読出して、バッファメモリ 4 への書き込みを実行する。誤り訂正器 6 は、1 符号列の誤り訂正が完了すると、DMA 制御装置 2 及び誤り検出器 7 に対して 1 符号列誤り訂正終了信号 23 を出力する。
- 25 (d-9) 1 符号列誤り訂正終了信号 23 が出力されると、DMA 制御装置 2 は、誤り訂正が終了した符号列を、バッファメモリ 4 から誤り検出器 7 に転送する DMA リクエストをバス制御装置 3 に出力する。
- (d-10) バス制御装置 3 は、データバス 11 の使用調停を行った後、バッファメモリ 4 にバッファメモリアクセス信号 14 を出力しデータの読み出しを行う。そして、誤り検出データ供給信号 20 を出力し、バッファメモリ 4 から読み出したデータを誤り検出器 7 に

供給する。

(d-11) 誤り検出器7は、途中結果レジスタ8に格納されている誤り検出途中結果を使い、引き続き転送されたデータに対しての最後の列までの誤り検出を実行する。

(d-12) 誤り検出器7へのDMA転送が完了すると、DMA制御装置2は、後続の5 符号列をシンドローム計算器5及び誤り検出器7に転送するDMAリクエスト13の出力を再開する。そして、バス制御装置3ではバッファメモリ4からシンドローム計算器5及び誤り検出器7へのデータ転送を実行する。

以上のステップ(d-4)から(d-12)の動作を1セクタ分の誤り訂正が完了するまで繰り返す。

10 1セクタ分の誤り訂正が完了すると、誤り訂正器6はシステム制御装置1に訂正完了信号19を出力し、誤り検出器7は誤り検出信号21によりシステム制御装置1に誤りが検出されたか否かを通知する。

なお、ステップ(d-4)でシンドローム計算器5において誤り符号が検出されなかった場合には、ステップ(d-5)から(d-8)の誤り訂正動作は、ステップ(d-4)と並行して実行されるが、誤り符号が検出されていないのでバッファメモリ上のデータの誤り訂正動作及びDMA転送の中止は行われない。そして、ステップ(d-4)で誤り検出器7による誤り検出処理は完了し、誤り検出信号21によりシステム制御装置1に誤りが検出されなかったことを通知する。この場合、ステップ(d-9)から(d-12)は実行されない。

20 以上の動作により、1セクタ分の横方向誤り訂正が完了する。以降同様に15セクタ分の横方向誤り訂正を実行し、1ブロックの横方向誤り訂正を完了する。そして、全セクタで誤りが検出されなければ誤り訂正動作を完了し、1セクタでも誤りが検出されれば、縦方向誤り訂正等、次の処理を実行する。

以上の説明で判るように、本実施の形態によれば、バッファメモリからシンドローム計算器へのデータ転送と同時に誤り検出器にもデータ転送を行い、シンドローム計算器で誤り符号が検出されるまでは、シンドローム計算と並行して誤り検出を実行する。そして、シンドローム計算器で誤り符号が検出された場合には、シンドローム計算を中断し、誤り訂正器による誤り訂正後のデータを誤り検出器に転送し誤り検出処理を実行する。誤り検出処理終了後、再び後続の符号列をシンドローム計算器及び誤り検出器に転送し、シンドローム計算と誤り検出を並列に実行する。

この結果、誤りが検出された符号列については、その訂正後のデータのみを誤り検出器に再転送することにより、誤り符号検出、誤り訂正、誤り検出の一連の誤り訂正処理が並列に実行可能となり、誤り訂正処理時間を大幅に短縮できる。

(第4の実施の形態)

5 本実施の形態は、第1から第3の実施の形態において、データの取込み、読み出しに時間のかかるひいては処理のネックになるバッファメモリを2つ装備し、一方のバッファメモリへのデータの書き込みや読み出し時間中に、他方のバッファメモリに取り込まれているデータを対象に誤り訂正を行うものである。

10 本実施の形態の誤り訂正装置の要部の構成を図11に示す。本図において9は転送制御装置等からなる下部側処理である。10は、復調回路等からなる上流側処理部である。41は、上書き部や読み出し部を備えた第1のバッファメモリである。42は、同じく第2のバッファメモリである。101は、システム制御装置内のバッファ切換え制御部である。102は、同じくバッファデータ転送制御部である。103は、初期設定部である。また、実線はデジタルデータが流れる線を示し、点線は制御信号が流れる線を示す。

15 以下、各部の作用を説明する。

初期設定部103は、誤り訂正開始に伴い、第1バッファメモリに最初のセクタのデータを、第2バッファメモリに2番目のセクタのデータを書き込ませ、更にバッファ切換え制御部101内のフラグを1に設定する。またこのため、バッファ切換え制御部とバッファデータ転送制御部102に必要な指示を行なう。

20 バッファ切換え制御部101は、誤り訂正開始に伴い、フラグを参照して第1バッファメモリ41とシンドローム計算器5、誤り検出器7等を接続する。更に、誤り訂正の進行に伴い、バッファデータ転送制御部102からの転送信号を受ける毎にフラグを参照して必要なバッファ切換えを行い、またフラグの切換え毎に上流側処理部10からのデータを対応するバッファに書きませる。

25 バッファデータ転送制御部102は、1セクタの誤り訂正が終了する毎に、第1若しくは第2のバッファメモリ内のデータを下流側処理部9へ転送するよう必要な回路切換え等の制御を行い、またこれに併せてバッファ切換え制御部に転送信号を送り、更にフラグ切換え部よりバッファ切換え制御部101内のフラグを、1から2へ、2から1へと順次交互に切換えさせる。

30 これにより1セクタの誤り訂正が終了すれば、その処理の対象とされていたバッファ内

のデータは下流側処理部へ流される。一方、次に誤り訂正の対象とされるデータはバッファ切換え制御部 101 の作用のもと既に他方のバッファに書き込まれているため、迅速に誤り訂正がなされることとなる。

(第 5 の実施の形態)

5 本実施の形態は、先の第 1 及び第 3 の実施の形態が各セクタを対象として途中結果レジスタを設けているのに対して、現実の誤り訂正では縦方向の誤り訂正等も有りうるため ECC 単位でデータの転送等がなされることが多いことを考慮の上、1 ECC 単位の 16 のセクタ全てに専用の途中結果レジスタを設けたものである。

図 12 は、本実施の形態における誤り訂正装置の構成図である。本図において 201 は光ディスクであり、スピンドルモータ 202 により回転駆動される。203 は光学ヘッドであり、光ディスク 201 に記録された情報が読み出され、アンプ 204 に出力される。受信符号 29 は、横方向（内符号）の誤り訂正と同じ方向に読み出され、誤り訂正装置 101 に入力される。誤り訂正装置 100 では、受信符号 29 を復調回路 10 に入力し、バス制御装置 3 の出力する復調符号入力信号 25 により復調後の符号をバッファメモリ 4 に格納する。

パーソナルコンピュータ等の外部装置 205 には、バッファメモリ 4 から読み出した誤り訂正完了後の符号 30 が転送制御装置 9 を介して出力される。なお、この外部装置 205 へのデータ転送は、バス制御装置 3 の出力するバッファメモリアクセス信号 14 と復調符号入力信号 25 とにより行われる。

20 本実施の形態においては、図に示す如く 16 セクタからなる ECC ブロックに合わせて、図 5 の誤り検出器に 16 個の途中結果レジスタ 801, 802, …, 816 を持たせてある。

次に、図 13 は本実施の形態の各セクタでの誤り符号と誤り検出時のデータ転送範囲を示した図である。

25 以上の構成の本実施の形態の誤り訂正装置について、以下図 12 と図 13 をも参照しつつ図 14 に基づいてその動作を説明する。

(e - 1) 誤り訂正を行うために、システム制御装置 1 は DMA 制御装置 2 に対し DMA コマンド 12 を出力し、バッファメモリ 4 からシンドローム計算器 5 及び誤り検出器 7 に対し横方向 1 符号列 × 13 回、即ち 1 セクタ分のデータ転送を指示する。

30 (e - 2) DMA 制御装置 2 は、バス制御装置 3 に対し DMA リクエスト 13 を出力し、

バッファメモリ 4 からシンドローム計算器 5 及び誤り検出器 7 1 へのデータ転送を要求する。

(e - 3) バス制御装置 3 は、データバス 1 1 の使用調停を行った後、バッファメモリ 4 にバッファメモリアクセス信号 1 4 を出力しデータの読み出しを行う。そして、シンドローム計算器 5 及び誤り検出器 7 に対し、それぞれシンドロームデータ供給信号 1 5、誤り検出データ供給信号 2 0 を出力し、バッファメモリ 4 から読み出したデータをシンドローム計算器 5 及び誤り検出器 7 に供給する。

(e - 4) シンドローム計算器 5 では、転送された横方向の符号列についてシンドロームを計算し、求めたシンドローム 1 6 を誤り訂正器 6 に出力する。また、シンドローム計算器 5 では、符号列に誤り符号がある、即ちシンドロームがゼロでない場合には、誤り符号検出信号 2 2 を誤り検出器 7 及びシステム制御装置 1 に出力する。また、どの符号列で誤りが検出されたかを示す誤り符号列信号 2 3 をシステム制御装置 1 に出力する。

これと並列に、誤り検出器 7 でも誤り検出処理を実行する。誤り検出処理は、予め処理中のセクタに割り当てられた途中結果レジスタ（例えば第 1 セクタであれば第 1 セクタ用途中結果レジスタ 8 0 1）に格納された前の符号列までの E D C の途中演算結果をリロードしてから誤り検出計算を行い、各符号列の転送が終わったところでシンドロームがゼロであれば E D C の途中演算結果を処理中のセクタに割り当てられた途中結果レジスタに再び格納し、シンドロームがゼロでなければ処理中のセクタに割り当てられた途中結果レジスタの内容を更新せず前の符号列までの E D C の途中演算結果を保持する。

ただし、第 1 符号列（横符号の第 1 行目）の場合には、当然途中結果レジスタには途中結果は格納されていないため初期化される。誤り符号検出信号 2 2 により処理中のセクタにおける最初の誤り符号の検出が通知された場合には、処理中のセクタに割り当てられた途中結果レジスタの内容を更新せず、それ以降の符号列については誤り検出処理を行わない。

(e - 5) 誤り訂正器 6 では、バス制御装置 3 の出力する誤り訂正器アクセス信号 1 8 によりバッファメモリ 4 から読み出したデータの供給を受け、誤った符号を訂正した後、再びバス制御装置 3 に対して、アクセス要求信号 1 7 により訂正終了データのバッファメモリへの書き込みを要求する。

(e - 6) バス制御装置 3 は、データバス 1 1 の使用調停を行った後、誤り訂正器 6 から訂正終了データを読み出して、バッファメモリ 4 への書き込みを行なう。1 セクタ分の

誤り訂正が完了すると、誤り訂正器 6 は、システム制御装置 1 に訂正完了信号 19 を出力する。

(e-7) システム制御装置 1 は、処理中のセクタにおいて訂正処理完了後のデータに誤りが含まれていないか否かを確認するため、DMA 制御装置 2 に対し DMA コマンド 1 2 を出力し、バッファメモリ 4 から誤り検出器 7 へのデータ転送を指示する。この際、ステップ (b-4) でシンドローム計算器 5 から処理中のセクタで最初に出力された誤り符号検出信号 22 と同時に出力された誤り符号列信号 23 で示された符号列からセクタ最終の符号列までのデータ転送を指示する。これは、図 13 で示した、ECC の再計算範囲であり、各セクタ毎に ECC の途中結果が有効な範囲のデータの転送が不要となる。

10 (e-8) DMA 制御装置 2 は、バス制御装置 3 に対し DMA リクエスト 13 を出力し、バッファメモリ 4 から誤り検出器 7 へのデータ転送を要求する。

(e-9) バス制御装置 3 は、データバス 11 の使用調停を行った後、バッファメモリ 4 にバッファメモリアクセス信号 14 を出力しデータの読み出しを行う。そして、誤り検出器 7 に対し誤り検出データ供給信号 2 を出力し、バッファメモリ 4 から読み出した符号 15 を誤り検出器 7 に供給する。

(e-10) 誤り検出器 7 は、処理中のセクタに割り当てられた途中結果レジスタに格納されている誤り検出途中結果を用いて引き続き転送されたデータに対して誤り検出を実行し、誤り検出信号 21 によりシステム制御装置 1 に誤りを検出したか否かを通知する。

以上で、1 セクタ分の誤り訂正と誤り検出とが終了する。この一連の処理を 16 セクタ 20 分繰り返すことで、1 ECC ブロックの横方向の誤り訂正が終了する。

さて、誤り検出時のデータの再転送の指示であるが、上述の如く第 1 及び第 3 の実施の形態では途中結果レジスタを 1 つしか持っていないため、1 ECC ブロック内で最初に検出された誤り符号列からであった。しかし、本実施の形態では、16 セクタそれぞれに対する途中結果レジスタを備えているため、各セクタ毎にその中で最初に検出された誤り符号列からとすることが可能となり、更に誤り訂正処理時間の短縮と共に低電力化が図れる。

なお、本実施の形態では 1 ECC ブロックのセクタ数に合わせて 16 個の途中結果レジスタを備えるものとしたが、1 ECC ブロックを複数のセクタからなる領域に分割し、そのそれぞれの領域に対応した数のレジスタを例えば 4 個の途中結果レジスタを設けても良い。この場合には、途中結果レジスタの増加を抑えつつ、誤り検出時のデータ転送の指示 30 を分割した領域の最初に検出された誤り符号列からとすることができます、本実施の形態と同

様に誤り訂正処理時間の短縮と共に低電力化が図れる。

(第6の実施の形態)

本実施の形態は、いわゆるパイプライン処理により3つの異なるECCブロックの誤り訂正を同時に行うものである。

- 5 図15は、本実施の形態における誤り訂正装置の構成図である。誤り訂正のパイプライン処理において、3つの異なるECCブロックが同時に処理され、その内の2つのECCブロックにおいて横方向の誤り訂正が、残りの1つのECCブロックにおいて縦方向の誤り訂正が行われる。よって、本実施の形態における誤り訂正装置100は、それに合わせて誤り検出器に3つの途中結果レジスタ81, 82, 83を持たせ、かつ誤り訂正器より新たに誤り訂正位置信号24を出力するようにしたものである。

以上の構成の本実施の形態の誤り訂正装置について、以下その動作を説明する。さて、今までの各実施の形態では、横方向による唯1回の誤り訂正のみの場合であったが、本実施の形態では、横方向の誤り訂正、続いて縦方向の誤り訂正、更に横方向の誤り訂正による3回の誤り訂正の場合である。

- 15 この3回の誤り訂正の場合のパイプライン処理の様子を図16に示す。第1のステージでは、第1のECCブロックのみについて横方向の誤り訂正（第1回目の誤り訂正）が開始される。次に、第2のステージでは、第1のECCブロックについて縦方向の誤り訂正（第2回目の誤り訂正）が行われると共に、第2のECCブロックについて横方向の誤り訂正（第1回目の誤り訂正）が開始される。更に第3のステージでは、第1のECCブロックについて再び横方向の誤り訂正（第3回目の誤り訂正）が行われると共に、第2のECCブロックについて縦方向の誤り訂正（第2回目の誤り訂正）が行われ、第3のECCブロックについて横方向の誤り訂正（第1回目の誤り訂正）が開始される。

このようにして、同じステージで最大3つの異なるECCブロックの誤り訂正が並行して行われ、更に各ステージでは複数のステップに細分化されて実行されている。なおDVDの場合には、EDC計算のためのデータ読み出し方向は横方向のシンドローム計算と同じであり、横方向の誤り訂正を行う第1回目の誤り訂正時と第3回目の誤り訂正時にシンドローム計算と並列にEDC計算を行うことが可能である。

以降、第3のステージでの、シンドローム計算と並行して行われるEDC計算の処理の流れを図15と図16を用いて説明する。

- 30 最初に、第3のECCブロックについての第1回目の誤り訂正について説明する。なお、

以下の (f-1) から (f-6) の処理等は、基本的には先の実施の形態の (d-1) から (d-6) の処理等と同様なので、わざわざの手順の図示は省略する。

(f-1) 第3のECCブロックについて第1回目の誤り訂正を行うため、システム制御装置1はDMA制御装置2に対しDMAコマンド12を出力し、バッファメモリ4からシンドローム計算器5及び誤り検出器7に対し第3のECCブロック内における横方向1符号列分のデータ転送を指示する。

(f-2) DMA制御装置2は、バス制御装置3に対しDMAリクエスト13を出力し、バッファメモリ4からシンドローム計算器5及び誤り検出器7へのデータ転送を要求する。

(f-3) バス制御装置3は、データバス11の使用調停を行った後、バッファメモリ4にバッファメモリアクセス信号14を出力しデータの読み出しを行う。そして、シンドローム計算器5及び誤り検出器7に対し、それぞれシンドロームデータ供給信号15、誤り検出データ供給信号20を出力し、バッファメモリ4から読み出したデータをシンドローム計算器5及び誤り検出器7に供給する。

(f-4) シンドローム計算器5では、転送された横方向の符号列についてシンドロームを計算し、求めたシンドローム16を誤り訂正器6に出力する。また、シンドローム計算器5では、符号列に誤り符号がある、即ちシンドロームがゼロでない場合には、誤り符号検出信号22を誤り検出器7及びシステム制御装置1に出力する。また、第3回目の誤り訂正の際にシンドローム計算開始符号列とEDCの有効範囲とを判断するのに使用するため、どの符号列で誤りが検出されたかを示す誤り符号列信号23をシステム制御装置1に出力する。

誤り検出器7でも、シンドローム計算器5と並列に転送されてきたデータに対して誤り検出処理を実行する。誤り検出処理は、予め第1の途中結果レジスタ81に格納された前の符号列までのEDCの途中演算結果をリロードしてから誤り検出処理を行い、符号列の転送が終わったところでシンドロームがゼロであれば再びEDCの途中演算結果を第1の途中結果レジスタ81に格納し、シンドロームがゼロでなければ第1の途中結果レジスタ81の内容を更新せず前のシンドロームがゼロであった符号列までのEDCの途中演算結果を保持する。ただし、第1符号列(横符号の第1行目)の場合には、当然第1の途中結果レジスタ81には途中結果は格納されていないため初期化されることとなる。

更に、第1の実施の形態と同じく誤り符号検出信号22により誤り符号の検出が通知された場合には、第1の途中結果レジスタ81の内容を更新せず、それ以降の符号列につい

ては誤り検出処理を実行しない。

(f-5) 誤り訂正器 6 では、誤った符号を訂正した後、再びバス制御装置 3 に対して、アクセス要求信号 17 により訂正終了データのバッファメモリへの書き込みを要求する。

5 (f-6) バス制御装置 3 は、データバス 11 の使用調停を行った後、誤り訂正器 6 から訂正終了データを読み出して、バッファメモリ 4 への書き込みを実行する。

(f-1) から (f-6) の処理を 13 回繰り返すことにより 1 セクタの誤り訂正が終了し、1 セクタ分の誤り訂正を完了すると、誤り訂正器 16 はシステム制御装置 1 に訂正完了信号 19 を出力する。

これを 16 セクタ分繰り返すことで、1 ECC ブロックの横方向の誤り訂正が終了する。

10 全ての符号列でシンドロームがゼロかつ全てのセクタでの EDC の結果もゼロ、即ち 1 ECC ブロックに誤りが全くなければ、この 1 回目の誤り訂正のみで処理を終了することができる。

しかしながら、現実には誤り符号が存在することがある。すなわち、例えば図 17 に示すように第 2 セクタ目の 5 行目（横方向の第 5 符号列）に誤り符号があったとする。この場合には、第 5 符号列で求めた途中演算結果を破棄し、第 1 の途中結果レジスタ 81 の内容を更新しない。これにより、第 4 符号列までの EDC の途中演算結果が第 3 回目の誤り訂正まで第 1 の途中結果レジスタ 81 に保持される。

20 また、システム制御装置 1 は誤り符号列信号 23 として 2 セクタ目の第 5 符号列を示す「18」(13+5) を入力しこれを格納する。2 セクタ目の第 6 符号列以降は誤り検出処理を中止し、シンドローム計算のみを実行する。

続いて、第 2 の ECC ブロックについての第 2 回目の誤り訂正について説明する。

誤りが検出された場合、あるいは誤りが検出されなかつても拘わらず EDC の結果がゼロ以外の場合には、本第 2 の ECC ブロックを対象にして、その横方向の誤り訂正に続き、縦方向の誤り訂正（第 2 回目の誤り訂正）を実行する。

25 (f-7) 第 2 の ECC ブロックについて第 2 回目の誤り訂正を行うために、システム制御装置 1 は DMA 制御装置 2 に対し DMA コマンド 12 を出力し、バッファメモリ 4 からシンドローム計算器 5 のみに第 2 の ECC ブロック内における縦方向 1 符号列分のデータ転送を指示する。縦方向のシンドローム計算時には、誤り検出は実行せず、第 2 の途中結果レジスタ 82 に格納された、第 2 のステージで求めた第 1 回目の誤り訂正での途中演算結果を保持する。

(f-8) DMA制御装置2は、バス制御装置3に対しDMAリクエスト13を出力し、バッファメモリ4からシンドローム計算器5へのデータ転送を要求する。

5 (f-9) バス制御装置3は、データバス11の使用調停を行った後、バッファメモリ4にバッファメモリアクセス信号14を出力しデータの読み出しを行う。そして、シンドローム計算器5に対しシンドロームデータ供給信号15を出力し、バッファメモリ4から読み出したデータをシンドローム計算器5に供給する。

10 (f-10) シンドローム計算器5では、転送された第2のECCブロック内における縦方向の符号列のシンドロームを計算し、求められたシンドローム16を誤り訂正器6に出力する。また、シンドローム計算器5ではシステム制御装置1に対し、符号列に誤りのある、即ちシンドロームがゼロでない場合には誤り符号検出信号22を出力する。

15 (f-11) 誤り訂正器6では、誤った符号を訂正した後、再びバス制御装置3に対して、アクセス要求信号17により訂正終了データのバッファメモリへの書き込みを要求する。また誤り訂正器6では、システム制御装置1に対し訂正したデータの位置を示す誤り訂正位置信号24を出力する。この誤り訂正位置信号24と第1回目の誤り訂正において得られた誤り符号列信号23とを用いて第3回目の誤り訂正において1 ECCブロックの途中から誤り訂正と誤り検出とを行うか最初から行うかの判定を行う。

(f-12) バス制御装置3は、データバス11の使用調停を行った後、誤り訂正器6から訂正終了データを読み出して、バッファメモリ4への書き込みを実行する。

20 縦方向の誤り訂正については、(f-7)から(f-12)の処理を図2に示す縦列数、すなわち182回繰り返すことにより1 ECCブロック分の誤り訂正が終了する。

例えば、縦方向の第1符号列（第1列目）において第2セクタ目の6行目に誤り符号があったとする。この場合には、システム制御装置1は誤り訂正位置信号24として縦方向の符号列の先頭からの位置を示す「19」を入力しこれを格納する。

25 このように、横方向の誤り訂正と縦方向の誤り訂正では、

- (1) データの読み出し方向
- (2) シンドロームと並列にEDCの計算を行うか否か
- (3) 誤り符号列信号を出力するか誤り訂正位置信号を出力するか

を除き、ほぼ同様の処理を行っている。

最後に第1のECCブロックにおける第3回目の誤り訂正について説明する。

30 第3回目の誤り訂正に際しては、システム制御装置1は、第1回目の誤り訂正において

求めた誤り符号列信号 2 3 と第 2 回目の誤り訂正で求めた誤り訂正位置信号 2 4 を用いて第 2 回目の誤り訂正で E D C の途中演算結果有効範囲内で誤り符号が検出され、誤り訂正をしたか否か、即ち E D C の途中演算結果が有効か否かを判断する。

E D C の途中結果有効範囲内で誤り訂正をしていなければ、第 1 回目の誤り訂正で求め
5 た E D C の途中結果は有効である。この場合には、第 1 回目の誤り訂正において求めた誤
り符号列信号 2 3 で示される n 行目の符号列よりデータ転送を開始し、シンドローム計算
を行うと共にこれと並列に第 3 の途中結果レジスタ 8 3 に保持された E D C の途中結果を
用いて誤り検出を行う。一方、E D C の途中演算結果有効範囲内でデータの誤りを訂正し
ていれば、E D C の途中演算結果は無効であり、誤り符号の検出されたセクタの先頭符号
10 列よりデータの転送を開始する。

(f - 1 3) 第 1 の E C C ブロックについて第 3 回目の誤り訂正を行うために、システム制御装置 1 は DMA 制御装置 2 に対し DMA コマンド 1 2 を出力し、バッファメモリ 4 からシンドローム計算器 5 及び誤り検出器 7 2 への第 3 の E C C ブロック内における横方向 1 符号列分のデータ転送を指示する。

15 (f - 1 4) DMA 制御装置 2 は、バス制御装置 3 に対し DMA リクエスト 1 3 を出力
し、バッファメモリ 4 からシンドローム計算器 5 及び誤り検出器 7 2 へのデータ転送を要
求する。

(f - 1 5) バス制御装置 3 は、データバス 1 1 の使用調停を行った後、バッファメモリ 4 にバッファメモリアクセス信号 1 4 を出力しデータの読み出しを行う。そして、シン
20 ドローム計算器 5 及び誤り検出器 7 2 に対し、それぞれシンドロームデータ供給信号 1 5 、
誤り検出データ供給信号 2 0 を出力し、バッファメモリ 4 から読み出したデータをシンドローム計算器 5 及び誤り検出器 7 2 に供給する。

(f - 1 6) シンドローム計算器 5 では、転送された横方向の符号列のシンドロームを
計算し、求められたシンドローム 1 6 を誤り訂正器 6 1 に出力する。また、シンドローム
25 計算器 5 では、符号列に誤りのある、即ちシンドロームがゼロでない場合には、誤り符号
検出信号 2 2 を誤り検出器 7 2 及びシステム制御装置 1 に出力し、またどの符号列で誤り
が検出されたかを示す誤り符号列信号 2 3 をシステム制御装置 1 に出力する。

これと並列に、誤り検出器 7 2 でも誤り検出処理を実行する。誤り検出処理は、予め第
30 3 の途中結果レジスタ 8 3 に格納された前の符号列までの E D C の途中演算結果をリロー
ドしてから誤り検出処理を行い、符号列の転送が終わったところでシンドロームがゼロで

あれば再びE D Cの途中演算結果を第3の途中結果レジスタ8 3に格納し、シンドロームがゼロでなければ第3の途中結果レジスタ8 3の内容を更新せず前の符号列までのE D Cの途中演算結果を保持する。ただし、第1の横符号の場合には、第3の途中結果レジスタ8 3には第1回目の誤り訂正で求めた途中結果が保持されている。誤り符号検出信号2 2

5 により誤り検出が通知された場合には、それ以降の誤り検出処理は実行しない。

(f - 1 7) 誤り訂正器6 1では、誤った符号を訂正した後、再びバス制御装置3に対して、アクセス要求信号1 7により訂正終了データのバッファメモリへの書き込みを要求する。

10 (f - 1 8) バス制御装置3は、データバス1 1の使用調停を行った後、誤り訂正器6 1から訂正終了データを読み出して、バッファメモリ4への書き込みを実行する。

(f - 1 9) システム制御装置1は、訂正処理完了後のデータに誤りが含まれていないことを確認するため、DMA制御装置2に対しDMAコマンド1 2を出力し、バッファメモリ4から誤り検出器7 2へのデータ転送を指示する。この際、ステップ(a - 4)でシンドローム計算器5から最初に出力された誤り符号検出信号2 2と同時に出力された誤り符号列信号2 3で示された符号列からのデータ転送を指示する。

(f - 2 0) DMA制御装置2は、バス制御装置3に対しDMAリクエスト1 3を出力し、バッファメモリ4から誤り検出器7 2へのデータ転送を要求する。

20 (f - 2 1) バス制御装置3は、データバス1 1の使用調停を行った後、バッファメモリ4にバッファメモリアクセス信号1 4を出力しデータの読み出しを行う。そして、誤り検出器7 2に対し誤り検出データ供給信号2 0を出力し、バッファメモリ4から読み出したデータを誤り検出器7 2に供給する。

(f - 2 2) 誤り検出器7 2は、途中結果レジスタ8 3に格納されている誤り検出途中結果を使い、引き続き転送されたデータに対して誤り検出を実行し、誤り検出信号2 1によりシステム制御装置1に誤りが検出されたか否かを通知する。

25 (f - 1 3) から (f - 2 2) の処理を1 3回繰り返すことにより1セクタの誤り訂正が終了し、これを1 6セクタ分繰り返すことで、1 E C Cブロック分の横方向の誤り訂正が終了する。ただし、第3回目の誤り訂正の場合、第1回目に求め途中結果レジスタに格納されている誤り検出途中結果が有効であれば、第1回目の誤り訂正で誤り符号を検出した符号列の位置に応じて繰り返し回数を減少させることができる。これが、本実施の形態30 の新たな効果である。

例えば、図17に示すように2回目の誤り訂正において、誤り符号のあった行が全て第2セクタ目の6行目以降であった場合には、途中結果レジスタ1に保持したEDCの途中演算結果は有効である。この途中演算結果を用いて誤り訂正を行うべく、第2セクタの第5符号列以降の列よりシンドローム計算と誤り検出を行うためのデータ転送を行う。

5 しかし、第2セクタの5行目以前、例えば第2セクタの2行目に誤り符号があった場合には、EDCの途中演算結果は無効となる。この場合には、第2回目の誤り訂正で訂正のなかったセクタ（この場合は第1セクタ）の次のセクタである第2セクタの先頭からデータ転送を開始する。

なお、EDC計算はセクタ単位であるため、誤り符号列信号及び誤り訂正位置信号を誤り符号のあるセクタを示す情報としてデータ転送の開始をセクタ先頭に限定すれば、データ転送の開始を符号列単位で指示するのに比べ再度の訂正のために転送するデータ量は増えるものの、第1回目の途中演算結果を格納・保持するレジスタを削減することが可能となる。

最後に（ $f - 19$ ）から（ $f - 22$ ）の処理を1回実行することで、1ECCブロックの誤り検出を終了する。この際、バッファメモリ14から誤り検出器7へのデータ転送として第3回目の誤り訂正においてシンドローム計算器5から最初に出力された誤り符号列信号23で示された符号列からのデータ転送を指示している。これは、第1から第3の実施の形態の効果であり、本実施の形態では、この効果も併せて有することが分かる。

以上の説明で判るように、本発明の実施の形態によれば、単一の誤り訂正器を用いて3回誤り訂正処理をバッファメモリからシンドローム計算器へのデータ転送と同時に誤り検出器にもデータ転送を行う。そしてシンドローム計算器で誤り符号が検出されるまでは、シンドローム計算と並行して誤り検出を実行する。その結果、誤り訂正器による誤り訂正後の誤り検出は、誤り符号が検出されるまでに求めた誤り検出途中演算結果を使用することとなる。このために、誤り検出器に1ECCブロック全データをバッファメモリから転送する必要がなくなり、誤り検出処理も途中から実行可能となる。その結果、誤り訂正処理時間が大幅に短縮されると共に低電力化が図られる。

なお、本実施の形態では、3回誤り訂正の場合について述べたが、それ以上の多数回誤り訂正にも適用可能である。将来の技術の発達のもと、通常のDVD等において実際にこのような場合が生じるか否かは別にして、例えば5回訂正の場合には、途中結果レジスタを5個持つことで対応可能であり、誤りの程度に応じてEDC処理を大幅に短縮・削減で

きることはいうまでもない。

また、第2回目の誤り訂正で誤り個数が少なければ、第3回目の誤り訂正是行なわず誤り検出のみを行なってもよい。

なお、図16に示す様に、本実施の形態のパイプライン処理では、処理のスループットを向上させるべく、データをECCブロックずつ先から順に対象としてバッファメモリへ格納し、誤り訂正後は同じく先の方から順に後流側へ送ることにより、パイプライン処理単位時間毎に後流へデータを流しているが、これは幾つかのECCブロックを纏めてバッファメモリへ格納し、誤り訂正後は同じく先の方から順に一括して後流側へ送る様にしても良い。この方式は、データを記憶している媒体へのアクセスが混雑するあるいは混雑することが多いと考えられるシステムの場合に便利である。

また、録画した映画における特定の画像の検索のため、予め定められた手順にのっとて高速で飛び飛びのシーンを再生する場合にも便利である。ただし、この場合には、規則、規格に定められた各シーンや飛び飛びのシーンを認識する手段が別途必要なのは言うまでもない。

その他、将来の技術発達のもとで、誤り訂正是少なくなるが、ユーザの過誤等により一旦ディスクに傷が付いたり、大きな汚れが付いたりした場合には幾つものECCブロックにまたがって誤り訂正が必要となることが考えられるが、この際誤り訂正に便利であろう。すなわち、誤り訂正の少ない殆どのECCブロックはそのまま後流側へ流すこととなるが、極僅かの訂正の必要なECCブロック群はまとめて誤り訂正をなし、訂正が困難な場合はまとめて別の処理を成すようなシステムとなる。

(第7の実施の形態)

先の第6の実施の形態では、第1回目の誤り訂正で一旦バッファメモリに格納された符号列に対して誤り訂正と誤り検出をするが、本実施の形態では復調と並行して第1回目の誤り訂正と誤り検出を行うものである。またこのため、先の実施の形態と異なり、本実施の形態の構成図たる図18に示すように、シンドローム計算器と誤り検出器を各2個装備している。以下、本図を参照しつつ本実施の形態を説明する。

先ず、51は第1のシンドローム計算器であり、52は第2のシンドローム計算器である。また、71は第1の誤り検出器であり、72は第2の誤り検出器である。更にまた、上流側と下流側の機器の図示は省略してある。

30 本装置においては、光ディスクに記録された情報がアンプから受信符号として誤り訂正

装置 100 に入力される。更に誤り訂正装置 100 では、受信符号 29 を復調回路 10 に入力し、バス制御装置 3 の出力する復調符号入力信号 25 により復調後の符号をバッファメモリ 4 に格納すると共に、新たに設けた第 2 のシンドローム計算器 52 と第 2 の誤り検出器 72 とに供給する。

5 さて、バッファメモリ 4 から符号列を読み出して誤り訂正と誤り検出をするため、第 1 のシンドローム計算器 51 と第 1 の誤り検出器 71 とが別に設けられており、更に誤り訂正器 61 は第 1 のシンドローム計算器 51 と第 2 のシンドローム計算器 52 の出力するシンドロームを選択できるよう、その入力側に選択回路 60 が接続されている。

以上の構成の下で、先の実施の形態と同様に、先ず最初に第 2 のシンドローム計算器 52 では、転送されてきた横方向の符号列についてシンドロームを計算し、求めたシンドローム 162 を誤り訂正器 61 に出力する。また、第 2 のシンドローム計算器 52 では、符号列に誤り符号がある、即ちシンドロームがゼロでない場合には、誤り符号検出信号 222 を第 2 の誤り検出器 72 及びシステム制御装置 1 に出力する。また、どの符号列で誤りが検出されたかを示す誤り符号列信号 232 をシステム制御装置 1 に出力する。

15 これと並列に、第 2 の誤り検出器 72 は誤り検出計算を実行する。

さて、誤り符号列が第 2 のシンドローム計算器 52 で検出されると誤り訂正器が誤り訂正を行い、勿論その結果がバッファメモリに上書きされる。次いで、第 1 のシンドローム計算器 51 と第 1 の誤り検出器 71 とを使用しての縦方向の誤り検出と誤り訂正及び第 2 回目以降の横方向の誤り検出と誤り訂正がなされる。なお、この際の誤り検出処理は、
20 予めパイプライン処理に従って割り当てられたいずれかの途中結果レジスタに格納された前の符号列までの EDC の途中演算結果をリロードしてから誤り検出処理を行い、符号列の転送が終わったところでシンドロームがゼロであれば再び EDC の途中演算結果を途中結果レジスタに格納し、シンドロームがゼロでなければ途中結果レジスタの内容を更新せず前の符号列までの EDC の途中演算結果を保持する。

25 図 19 に、この第 2 のシンドローム計算器を備えたことによるパイプライン処理の内容（処理の構成）の変化、すなわち処理が高速化される様子を概念的に示す。本図において、処理が 1 ステップ分高速化されているのが判る。

（第 8 の実施の形態）

本実施の形態は、先の第 7 の実施の形態の改良である。

30 さて、先の第 7 の実施の形態では、第 2 のシンドローム計算器及び誤り検出器は復調後

のデータのみに対して処理をなしている。この場合、第2のシンドローム計算器が復調されたデータ（符号列）を対象として1回シンドローム計算をしている間に、第2のシンドローム計算器がバッファメモリのデータを対象として2回シンドローム計算をすることとなり、両シンドローム計算器の能力が同じならば第2のシンドローム計算器は遊んでいる時間が生じることとなる。

また、CPUのプログラム関連のデータ等は極めて正確な誤り訂正が要求されるし、古くかつ保存状態も悪い記録媒体のデータでは何度も誤り訂正をなす必要がありうる。これらの場合は特にそうであるが、第1のシンドローム計算器等のみがバッファメモリ内のデータを処理するのは、第2のシンドローム計算器等が遊ぶこととなる。そこで、復調されたデータをバッファメモリへ格納後は、第2のシンドローム計算器等も誤り訂正等を行う様にしている。

図20に、本実施の形態の誤り訂正装置の要部の構成を示す。

この誤り訂正装置の基本は、図18に示すのと同じである。ただし、両方のシンドローム計算器51、52及び両方の誤り検出器71、72はバッファメモリ4へも接続され、更にセレクタ301、302がこれらが処理対象として復調直後のデータとバッファメモリのデータのいずれを処理対象とするかを選択する。

また、制御部300が、目下処理対象としているECCブロックやセクタやセクタ群やその列の数や更には訂正回数を装置の各構成部（手段）毎に言わば一覧表を作成して管理、確認している。そしてこのもとで、例えば誤り計算の途中結果を途中結果レジスタのどのアドレスに格納するか等の必要な制御、スイッチの切換え等をおこなう。図21に、この参考テーブル303の内容を概念的に示す。本図の（a）は、各構成部毎の目下処理対象としているECCブロック、セレクタ等の一覧表である。また（b）は、目下処理対象とされている各ECCブロック毎の処理をされているデータの位置及び訂正回数の一覧表である。

制御部300は、クロック信号等に同期しつつこれらの一覧表を参照し、またこれらを更新し、更に各部に必要な処理をなさせることとなる。但し、本発明を想到すれば、ハード的であれソフト的であれこれらの一覧表の作成やその参照、更新を行う様にすること等は、今日ではそう困難ではない。このため、それらの具体的な内容についての説明は省略する。

以上の説明で判るように本発明によれば、シンドローム計算器で誤り符号が検出される

までのデータは、シンドローム計算と並行して誤り検出処理が実行できるため、誤り訂正後に全データをバッファメモリから誤り検出器に転送する必要がなく、一連の誤り訂正処理時間を短縮できる。

また、複数のECCブロックを対象にしていわゆるパイプライン処理を行うため、一連の誤り訂正処理時間を短縮できる。

また、復調したデータのバッファメモリへの書き込みに併せてシンドローム計算と誤り検出を行うので、一連の誤り訂正処理時間を短縮できる。

また、データの種類に応じては、バッファメモリへの後続のデータの書き込みと誤り訂正済のデータの下流側への転送を同時にを行うので、一連の誤り訂正処理時間を短縮できる。

また、データの内容や状態に応じた誤り訂正をなすので、一連の誤り訂正処理時間を短縮できる。

更にまた、以上の処理を組み合わせるので、一連の誤り訂正処理時間を大幅に短縮できる。

以上、本発明を幾つかのその実施の形態に基づき説明してきたが、本発明は何もこれらに限定されないのは勿論である。すなわち、例えば以下のようにしてもよい。

1) バッファメモリ上の誤り訂正是、誤りデータを一旦誤り訂正器に読み込みしかる後、誤り訂正器内で訂正してからバッファメモリに書戻すのではなく、誤り訂正器からバス制御装置に対してはバッファメモリ上のアドレスのみを渡し、当該アドレスをもとにバス制御装置内でバッファメモリから読込んだデータを訂正して書戻すようにしている。

2) 請求項2、同4、同6の発明等で、システム制御装置が転送データを制御するのではなく、誤り符号が検出されたのがどの符号列であるかという検出手段をシンドローム計算器内に持たせ、この検出手段により当該符号列をシステム制御装置に通知するようにしている。これにより、例えばシンドローム計算器へのデータ転送をDMA制御装置とシンドローム計算器で1符号列毎にハンドシェークしながら転送するようにする。そして、シンドローム計算器からは誤りが検出されたか否かの情報のみをDMA制御装置に通知する。このため、DMA制御装置内で転送データを制御するようにしている。

なお、特にわざわざは記載していないが、他の請求項の発明においても、DMA転送を採用してもよい（あるいはその方が好ましいため採用している。）。

3) 規格の相違のもと、DVD等での本来のデータとパリティのビット数が他の値となっている。あるいはまた縦方向、横方向が逆となっていたり、誤り検出の順序が逆となっ

ている（実質本発明と同じとなっている。）。

4) 請求項11等の発明において、DVD上での端部、中心部等の位置や製造方法の相違のもと、誤りの発生しやすい部分とそうでない部分とでセクタ群の個数等を変更している。

5) シンドローム計算手段によるシンドローム検出後も誤り検出手段にデータの転送は行うが、誤り検出手段が誤り検出を行わない等実質本発明と同じ作用、効果が発揮されるようにしている。

6) いわゆるパイプライン処理において、処理対象のECCブロック数はデータの種類や更には経験にもとづき誤り訂正の繰り返し数を変更可能としている。

10 7) 誤り訂正の回数も、ユーザによるデータの利用態様に応じて変更可能とされている。具体的には、検索のため画像を高速再生するのならば、少ない等である。なおこの場合には、ユーザのスイッチ操作を機械側が検知し、それに応じた処理をなすこととなる。またこのため、製造時より必要な回路構成とされ、プログラムが組み込まれている。

15 8) 第8の実施の形態では、何れのシンドローム計算器等も復調された符号列に対してシンドローム計算等をなすものとしたが、これは何れか一方の組のみがなすものとしている。

9) 第7の実施の形態において、復調された符号列用のシンドローム計算器は、他方のシンドローム計算器より処理速度は遅いが安価な物としている。

10) 誤り訂正の対象は、FM多重放送等の放送である。

請求の範囲 (WHAT IS CLAIMED IS)

1. 各列がデータ部と内符号パリティ部から構成されるN列の誤り訂正符号で一つの誤り検出コードを有する構造のデータを少なくとも1セクタ格納するバッファメモリと、該バッファメモリから読出されたデータに対してシンドロームを生成するシンドローム計算手段と、シンドローム計算手段で生成されたシンドロームから誤り位置の検出及び誤り数値計算を行ってバッファメモリ内の誤りデータを訂正する誤り訂正手段と、誤り訂正手段によって訂正されたデータに対して1セクタ毎に誤り検出を行う誤り検出手段と、誤り検出手段における誤り検出処理の途中結果を列単位で格納する記憶手段と、バッファメモリとシンドローム計算手段と誤り訂正手段と誤り検出手段との間のデータ転送を司るバス制御手段と、誤り訂正のための各種の処理を所定の手順で行いまた必要な回数なさしめる等の制御をするシステム制御手段とを有する誤り訂正装置において、

上記バス制御手段は、

- 15 上記シンドローム計算手段で誤り符号が検出されるまでは、上記バッファメモリから上記シンドローム計算手段と上記誤り検出手段とに誤り訂正すべきデータを列単位で同時に転送するシンドローム発生前同時転送小手段と、

上記シンドローム計算手段で誤り符号が検出されると、バッファメモリの後続のデータは列単位で上記シンドローム計算手段のみに転送するシンドローム発生後一方転送小手段と、

- 20 上記シンドローム計算手段からのシンドロームを基に上記誤り訂正手段によるバッファメモリ内のデータの誤り訂正後に、上記誤り符号が検出されたデータを含む符号列から最後の符号列までの訂正後のデータを誤り検出のため上記バッファメモリから上記誤り検出手段に列単位で転送する誤り検出用データ転送小手段を有し、

上記誤り検出手段は、

- 25 上記シンドローム計算手段で誤り符号が検出されるまでは、誤り検出の途中結果を符号列毎に上記記憶手段に格納しながら、上記シンドローム計算手段でのシンドローム計算と並行して上記バッファメモリから送られてくる符号列の誤り検出を実行する平行処理小手段と、

- 30 上記シンドローム計算手段で誤り符号が検出された以降の符号列の誤り検出は、上記誤り訂正手段による誤り訂正後バッファメモリから転送されてくるデータに対して、上記記憶手段に既に記憶されている誤り発生前の内容の符号列から引き続いて誤り検出を実行す

る訂正後誤り検出小手段とを有していることを特徴とする誤り訂正装置。

2. 誤り訂正装置は、更にバッファメモリに対するDMA転送を制御するDMA制御手段を備え、

上記システム制御手段は、

5 誤り訂正処理の開始にあたって上記DMA制御手段に上記バッファメモリから誤り訂正すべきデータを上記シンドローム計算手段と上記誤り検出手段とに転送する第1のDMA転送指示を与える第1のDMA転送指示小手段と、

上記誤り訂正装置から誤り訂正の完了が通知されると、上記シンドローム計算手段で誤り符号が検出された場合のみ上記シンドローム計算手段からの誤り符号列情報を元に上記

10 誤り符号が検出された符号列を含むそれ以降のデータを上記バッファメモリから上記誤り検出手段に転送する第2のDMA転送指示を与える第2のDMA転送指示小手段とを有し、

上記DMA制御手段は、

上記システム制御手段からの第1のDMA転送指示及び第2のDMA転送指示に従って上記バス制御手段にDMA転送の要求を行うバス制御手段用転送制御小手段を有している

15 ことを特徴とする請求項1記載の誤り訂正装置。

3. 各列がデータ部と内符号パリティ部から構成されるN列の誤り訂正符号で一つの誤り検出コードを有する構造のデータを少なくとも1セクタ格納するバッファメモリと、該バッファメモリから読出されたデータに対してシンドロームを生成するシンドローム計算手段と、シンドローム計算手段で生成されたシンドロームから誤り位置の検出及び誤り数値計算を行ってバッファメモリ内の誤りデータを訂正する誤り訂正手段と、誤り訂正手段によって訂正されたデータに対して1セクタ毎に誤り検出を行う誤り検出手段と、バッファメモリとシンドローム計算手段と誤り訂正手段と誤り検出手段との間のデータ転送を司るバス制御手段と、誤り訂正のための各種の処理を所定の手順で行いまた必要な回数なさしめる等の制御をするシステム制御手段とを有する誤り訂正装置において、

25 上記バス制御手段は、

上記シンドローム計算手段で誤り符号が検出されるまでは、上記バッファメモリから上記シンドローム計算手段と上記誤り検出手段とに列単位で同時に誤り訂正すべきデータを転送する同時転送小手段と、

上記シンドローム計算手段で誤り符号が検出された場合のみ、上記誤り訂正手段による
30 誤り訂正後に、誤り符号が検出された列以降の誤りを訂正されたデータを含む当該セクタ

のデータを誤り検出のため上記バッファメモリから上記誤り検出手段にデータ転送するよう制御する誤り検出用データ転送小手段を有し、

上記誤り検出手段は、

上記シンドローム計算手段でのシンドローム計算と並行して上記バッファメモリから送

5 られてくる符号列との誤り検出を実行する並行誤り検出小手段と、

上記シンドローム計算手段で誤り符号が検出された場合のみ、上記誤り訂正手段による誤り訂正後のデータに対して再度誤り検出を実行する誤り検出後誤り検出小手段とを有していることを特徴とする誤り訂正装置。

4. 誤り訂正装置は、更に上記バッファメモリに対するDMA転送を制御するDM

10 A制御手段を備え、

上記システム制御手段は、

誤り訂正処理の開始にあたって上記DMA制御手段に上記バッファメモリから誤り訂正すべきデータを上記シンドローム計算手段と上記誤り検出手段とに転送する第1のDMA転送指示を与える第1のDMA転送小手段と、

15 上記誤り訂正装置から誤り訂正の完了が通知されると、上記シンドローム計算手段上で誤り符号が検出された場合のみ当該誤り符号が検出されたデータを含むセクタを上記バッファメモリから上記誤り検出手段に転送する第2のDMA転送指示を与える第2のDMA転送小手段とを有し、

上記DMA制御手段は、

20 上記システム制御手段からの第1のDMA転送指示及び第2のDMA転送指示に従って上記バス制御手段にDMA転送の要求を行うバス制御手段用転送制御小手段を有していることを特徴とする請求項3記載の誤り訂正装置。

5. 各列がデータ部と内符号パリティ部から構成されるN列の誤り訂正符号で一つの誤り検出コードを有する構造のデータを少なくとも1セクタ格納するバッファメモリと、

25 該バッファメモリから読出されたデータに対してシンドロームを生成するシンドローム計算手段と、シンドローム計算手段で生成されたシンドロームから誤り位置の検出及び誤り数値計算を実行してバッファメモリ内の誤りデータを訂正する誤り訂正手段と、誤り訂正手段によって訂正されたデータに対して1セクタ毎に誤り検出を行う誤り検出手段と、誤り検出手段における誤り検出処理の途中結果を列単位で格納する記憶手段と、バッファメモリとシンドローム計算手段と誤り訂正手段と誤り検出手段との間のデータ転送を司るバ

ス制御手段と、誤り訂正のための各種の処理を所定の手順で行いまた必要な回数なさしめる等の制御をするシステム制御手段とを有する誤り訂正装置において、

上記バス制御手段は、

上記シンドローム計算手段で誤り符号が検出されるまでは、上記バッファメモリから上

- 5 記シンドローム計算手段と上記誤り検出手段とに誤り訂正すべきデータを列単位で同時に
転送する第1の転送を実行し、上記シンドローム計算手段で誤り符号が検出されると上記
第1の転送を中断する第1の転送小手段と、

上記シンドローム計算手段からのシンドロームを基に上記誤り訂正手段による誤り訂正
後に、上記誤りが検出され、訂正された符号列を上記バッファメモリから上記誤り検出手
10 段に転送する第2の転送を実行する第2の転送小手段と、

上記第2の転送の完了後に、上記第2の転送のなされた符号列以降の符号列について前
記第1の転送小手段に第1の転送を再開させる第1の転送再開制御小手段を有し、

上記誤り検出手段は、

上記シンドローム計算手段で誤り符号が検出されるまでは、誤り検出の途中結果を符号
15 列毎に上記記憶手段に格納しながら、上記シンドローム計算手段でのシンドローム計算と
並行して上記バッファメモリから送られてくる符号列の誤り検出を行う第1の誤り検出を
実行する第1の誤り検出小手段と、

上記シンドローム計算手段で誤り符号が検出されると上記誤り訂正手段により検出され
誤りが訂正された当該符号列に対しては、上記記憶手段に既に記憶されている誤り発生前
20 の内容の符号列から引き続いて誤り検出を行う第2の誤り検出を実行する第2の誤り検出
小手段と、

当該訂正済の符号列へ対しての第2の誤り検出が完了後、後続の符号列に対しては、前
記第1の誤り検出小手段による誤り検出を再開させる第1の誤り検出再開制御小手段とを
有していることを特徴とする誤り訂正装置。

- 25 6. 上記誤り訂正装置は、更にバッファメモリに対するDMA転送を制御するDMA
A制御手段を備え、

上記システム制御手段は、

誤り訂正処理の開始にあたって上記DMA制御手段に上記バッファメモリから誤り訂正
すべきデータを上記シンドローム計算手段と上記誤り検出手段とに転送するDMA転送指

- 30 示を与えるDMA転送指示小手段を有し、

上記DMA制御手段は、

上記システム制御手段からのDMA転送指示に従って上記バス制御手段にDMA転送の要求を行うバス制御手段用転送制御小手段を有していることを特徴とする請求項5記載の誤り訂正装置。

- 5 7. 複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデータ（横方向はセクタと言う）を単位として誤り訂正を行うデータ構造たるECCデータを少なくとも1 ECCブロック格納するバッファメモリと、該バッファメモリから読み出されたデータに対してシンドロームを生成するシンドローム計算手段と、シンドローム計算
10 手段で生成されたシンドロームから誤り位置及び誤り数値計算を行ってバッファメモリ内の誤りデータを訂正する誤り訂正手段と、バッファメモリから読み出されたデータに対して誤り検出を行う誤り検出手段と、バッファメモリと前記シンドローム計算手段と誤り訂正手段と誤り検出手段との間のデータ転送を司るバス制御手段と、誤り訂正のための各種の処理を所定の手順で行いまた必要な回数なさしめる等の制御をするシステム制御手段を
15 有する誤り訂正装置において、

上記システム制御手段は、

- 第1回目の誤り訂正として、バッファメモリから誤り検出コードの計算と同じ方向にデータを読み出して、上記シンドローム計算手段が誤り符号を検出するまでは上記シンドローム計算手段と上記誤り検出手段とに同時に転送し、前者にはシンドローム計算を後者には誤り検出を並行して実行させ、更に上記シンドローム計算手段が誤り符号を検出すると上記誤り訂正手段に対して誤り訂正を実行させ、併せて当該誤り符号を含む符号列を特定する情報を上記シンドローム計算手段若しくは上記誤り訂正手段からシステム制御装置に対して出力させる第1回誤り訂正制御小手段と、

- 偶数回目の誤り訂正として、先の奇数回目の誤り訂正で行った方向と異なる方向の符号列についてバッファメモリから読み出して、上記シンドローム計算手段が誤り符号を検出するまでは上記シンドローム計算手段と上記誤り検出手段とに同時に転送し、前者にはシンドローム計算を後者には誤り検出を並行して実行させ、更に上記シンドローム計算手段が誤り符号を検出すると上記誤り訂正手段に対して誤り訂正を実行させ、併せてその誤り訂正時に上記誤り訂正手段から得られる誤り訂正符号列内の誤り符号の位置を特定する情報報をシステム制御装置に対して出力させる偶数回誤り訂正制御小手段と、

上記誤り符号を含む符号列を特定する情報と上記誤り訂正符号列内の誤り符号の位置を特定する情報とから、奇数回目及びそれに続く偶数回目の誤り訂正で誤り符号が検出されなかった範囲をセクタ単位で特定する誤り不存在範囲特定小手段と、

第3回以降の奇数回目の誤り訂正として、1 ECC ブロック内で上記誤り不存在範囲特定小手段が先の偶数回までの誤り訂正で誤り符号の検出されなかった範囲としたセクタを除き先の奇数回目の誤り訂正で行ったのと同じ方向の符号について、上記シンドローム計算手段が誤り符号を検出するまでは上記シンドローム計算手段と上記誤り検出手段とに同時に転送し、前者にはシンドローム計算を後者には誤り検出を並行して実行させ、更に上記シンドローム計算手段が誤り符号を検出すると上記誤り訂正手段に対して誤り訂正を実行させ、併せて当該誤り符号を含む符号列を特定する情報を上記シンドローム計算手段若しくは上記誤り訂正手段からシステム制御装置に対して出力させる奇数回誤り訂正制御小手段と、

上記奇数回と偶数回の誤り訂正を所定回繰り返させる回数制御小手段とを有していることを特徴とする誤り訂正装置。

15 8. 前記回数制御小手段は、

誤り訂正を最大3度繰り返させる3回繰り返し制御小手段であることを特徴とする請求項7記載の誤り訂正装置。

9. 上記シンドローム計算手段による誤り符号の検出の有るまでは、誤りの検出されなかった各符号列についての上記誤り検出手段における誤り検出処理の途中結果を符号列単位で順に格納する記憶手段を有し、

前記誤り不存在範囲特定小手段は、

上記誤り符号を含む符号列を特定する情報と上記誤り訂正符号列内の誤り符号の位置を特定する情報とから、奇数回目及びそれに続く偶数回目の誤り訂正で誤り符号が検出されなかった範囲をセクタの符号列単位で特定する誤り不存在セクタの符号列範囲特定小手段であり、

前記奇数回誤り訂正制御小手段は、

第3回目以降の奇数回の誤り訂正時には、上記誤り不存在セクタの符号列範囲特定小手段の特定した情報を基に、上記バス制御手段に誤り符号の検出されたセクタの先頭からではなく誤り符号が検出されたセクタの符号列からのデータの同時転送を開始させ、併せて上記シンドローム計算手段には当該符号列からシンドローム計算をなさせ、上記誤り検出

手段には前記記憶手段に記憶された内容を初期値としてセクタの途中の符号列から誤り検出を実行させる途中結果利用奇数回誤り訂正制御小手段であることを特徴とする請求項7若しくは請求項8記載の誤り訂正装置。

10. 上記シンドローム計算手段による誤り符号の検出の有るまでは、誤りの検出
5 されなかった各符号列についての上記誤り検出手段における誤り検出処理の途中結果を各
セクタ毎に符号列単位で順に格納する各セクタ用記憶手段を有し、

前記誤り不存在範囲特定小手段は、

上記誤り符号を含む符号列を特定する情報と上記誤り訂正符号列内の誤り符号の位置を
特定する情報とから、奇数回目及びそれに続く偶数回目の誤り訂正で誤り符号が検出され
10 なかつた範囲を各セクタの各符号列単位で特定する各セクタ用誤り不存在符号列範囲特定
小手段であり、

前記奇数回誤り訂正制御小手段は、

第3回目以降の奇数回の誤り訂正時には、上記各セクタ用誤り不存在符号列範囲特定小
手段の特定した情報を基に、上記バス制御手段に誤り符号の検出されたセクタの先頭から
15 ではなく誤り符号が検出された各セクタ毎にその誤り符号が検出された符号列からのデータ
の同時転送を開始させ、併せて上記シンドローム計算手段には当該符号列からシンドロ
ーム計算をなさせ、上記誤り検出手段には前記記憶手段に記憶された内容を初期値として
セクタの途中の符号列から誤り検出を実行させる途中結果利用奇数回誤り訂正制御小手段
であることを特徴とする請求項7若しくは請求項8記載の誤り訂正装置。

20 11. 上記シンドローム計算手段による誤り符号の検出の有るまでは、誤りの検出
されなかった各符号列についての上記誤り検出手段における誤り検出処理の途中結果を各
セクタ群毎に符号列単位で順に格納する各セクタ群用記憶手段を有し、

前記誤り不存在範囲特定小手段は、

上記誤り符号を含む符号列を特定する情報と上記誤り訂正符号列内の誤り符号の位置を
特定する情報とから、奇数回目及びそれに続く偶数回目の誤り訂正で誤り符号が検出され
25 なかつた範囲を各セクタ群の各符号列単位で特定する各セクタ群用誤り不存在符号列範囲
特定小手段であり、

前記奇数回誤り訂正制御小手段は、

第3回目以降の奇数回の誤り訂正時には、上記各セクタ用誤り不存在符号列範囲特定小
30 手段の特定した情報を基に、上記バス制御手段に誤り符号の検出されたセクタの先頭から

ではなく誤り符号が検出された各セクタ群毎にその誤り符号が検出された符号列からのデータの同時転送を開始させ、併せて上記シンドローム計算手段には当該符号列からシンドローム計算をなさせ、上記誤り検出手段には前記記憶手段に記憶された内容を初期値としてセクタの途中の符号列から誤り検出を実行させる途中結果利用奇数回誤り訂正制御小手段であることを特徴とする請求項7若しくは請求項8記載の誤り訂正装置。

12. 複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデータ（横方向はセクタと言う）を単位として誤り訂正を行うデータ構造たるECCデータを複数対象にしてその誤り訂正を並列に行うため、請求項1、請求項2、請求項5、請求項6、請求項7若しくは請求項8に記載の誤り訂正装置において更に、

上記バッファメモリは、

並列に処理するECCブロックに相応した複数ECCブロック区分け記憶可能型バッファメモリであり、

前記誤り検出手段の生成する誤り検出処理の途中結果を格納する記憶手段は、

各処理対象のECCブロック毎に区分けして格納する処理対象ECCブロック区分型記憶手段であり、

前記システム制御手段は、

誤り訂正処理の終了したECCブロックを後流側へ流し、それに換えて新しく処理対象になったECCブロックを前記複数ECCブロック区分け記憶可能型バッファメモリへ格

納し、併せてこの事を上記バス制御手段、上記シンドローム計算手段、上記誤り検出手段、上記誤り訂正手段に認識させる各手段用ECCブロックパイプライン処理認識制御小手段と、

上記バス制御手段による上記シンドローム計算手段と上記誤り検出手段と上記誤り訂正手段への誤り検出や誤り訂正のためのデータの転送の制御、上記誤り訂正手段による誤り訂正、上記バス制御手段による該訂正後のデータの前記バッファメモリへの書き込みに際しての制御、上記誤り検出手段が上記記憶手段へ途中結果を格納する際に目下処理対象としているECCブロックを認識し、必要な処理対象のECCブロックの選定を行わせる各手段用各ECCブロック認識制御小手段と、

自システム制御手段内の第1回誤り訂正制御小手段、偶数回誤り訂正制御小手段、奇数回誤り訂正制御小手段、回数制御小手段その他若し有しているならばDMA転送指示小手

段等に、誤り訂正処理の終了したECCブロックを後流側へ流しそれに換えて新しく処理対象になったECCブロックを前記複数ECCブロック区分け記憶可能型バッファメモリへ格納したことと、前記各小手段が目下処理対象としているECCブロックとを認識させる自手段内各小手段用のパイプライン処理における各ECCブロック認識制御小手段とを有していることを特徴とする誤り訂正装置。

13. 複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデータ（横方向はセクタと言う）を単位として誤り訂正を行うデータ構造たるECCデータを複数対象にしてその誤り訂正を並列に行うため請求項9に記載の誤り訂正装置において

10 更に、

上記バッファメモリは、

並列に処理するECCブロックに相応した複数ECCブロック区分け記憶可能型バッファメモリであり、

前記誤り検出手段の生成する誤り検出処理の途中結果を格納する記憶手段は、

15 各処理対象のECCブロック毎に区分けして格納する処理対象ECCブロック区分型記憶手段であり、

前記システム制御手段は、

誤り訂正処理の終了したECCブロックを後流側へ流し、それに換えて新しく処理対象になったECCブロックを前記複数ECCブロック区分け記憶可能型バッファメモリへ格

20 納し、併せてこの事を上記バス制御手段、上記シンドローム計算手段、上記誤り検出手段、上記誤り訂正手段に認識させる各手段用ECCブロックパイプライン処理認識制御小手段と、

上記バス制御手段による上記シンドローム計算手段と上記誤り検出手段と上記誤り訂正手段への誤り検出や誤り訂正のためのデータの転送の制御、上記誤り訂正手段による誤り訂正、上記バス制御手段による該訂正後のデータの前記バッファメモリへの書き込みに際しての制御、上記誤り検出手段が上記記憶手段へ途中結果を格納する際に目下処理対象としているECCブロックを認識し、必要な処理対象のECCブロックの選定を行わせる各手段用各ECCブロック認識制御小手段と、

自システム制御手段内の第1回誤り訂正制御小手段、偶数回誤り訂正制御小手段、奇数

30 回誤り訂正制御小手段、回数制御小手段その他若し有しているならばDMA転送指示小手

段等に、誤り訂正処理の終了したECCブロックを後流側へ流しそれに換えて新しく処理対象になったECCブロックを前記複数ECCブロック区分け記憶可能型バッファメモリへ格納したことと、前記各小手段が目下処理対象としているECCブロックとを認識させる自手段内各小手段用のパイプライン処理における各ECCブロック認識制御小手段とを有していることを特徴とする誤り訂正装置。

14. 複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデータ（横方向はセクタと言う）を単位として誤り訂正を行うデータ構造たるECCデータを複数対象にしてその誤り訂正を並列に行うため請求項10に記載の誤り訂正装置において更に、

上記バッファメモリは、

並列に処理するECCブロックに相応した複数ECCブロック区分け記憶可能型バッファメモリであり、

前記誤り検出手段の生成する誤り検出処理の途中結果を格納する記憶手段は、

15 各処理対象のECCブロック毎に区分けして格納する処理対象ECCブロック区分型記憶手段であり、

前記システム制御手段は、

誤り訂正処理の終了したECCブロックを後流側へ流し、それに換えて新しく処理対象になったECCブロックを前記複数ECCブロック区分け記憶可能型バッファメモリへ格納し、併せてこの事を上記バス制御手段、上記シンドローム計算手段、上記誤り検出手段、上記誤り訂正手段に認識させる各手段用ECCブロックパイプライン処理認識制御小手段と、

上記バス制御手段による上記シンドローム計算手段と上記誤り検出手段と上記誤り訂正手段への誤り検出や誤り訂正のためのデータの転送の制御、上記誤り訂正手段による誤り訂正、上記バス制御手段による該訂正後のデータの前記バッファメモリへの書き込みに際しての制御、上記誤り検出手段が上記記憶手段へ途中結果を格納する際に目下処理対象としているECCブロックを認識し、必要な処理対象のECCブロックの選定を行わせる各手段用各ECCブロック認識制御小手段と、

自システム制御手段内の第1回誤り訂正制御小手段、偶数回誤り訂正制御小手段、奇数回誤り訂正制御小手段、回数制御小手段その他若し有しているならばDMA転送指示小手

段等に、誤り訂正処理の終了したECCブロックを後流側へ流しそれに換えて新しく処理対象になったECCブロックを前記複数ECCブロック区分け記憶可能型バッファメモリへ格納したことと、前記各小手段が目下処理対象としているECCブロックとを認識させる自手段内各小手段用のパイプライン処理における各ECCブロック認識制御小手段とを有していることを特徴とする誤り訂正装置。

15. 複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデータ（横方向はセクタと言う）を単位として誤り訂正を行うデータ構造たるECCデータを複数対象にしてその誤り訂正を並列に行うため請求項11に記載の誤り訂正装置において更に、

上記バッファメモリは、

並列に処理するECCブロックに相応した複数ECCブロック区分け記憶可能型バッファメモリであり、

前記誤り検出手段の生成する誤り検出処理の途中結果を格納する記憶手段は、

15 各処理対象のECCブロック毎に区分けして格納する処理対象ECCブロック区分型記憶手段であり、

前記システム制御手段は、

誤り訂正処理の終了したECCブロックを後流側へ流し、それに換えて新しく処理対象になったECCブロックを前記複数ECCブロック区分け記憶可能型バッファメモリへ格納し、併せてこの事を上記バス制御手段、上記シンドローム計算手段、上記誤り検出手段、上記誤り訂正手段に認識させる各手段用ECCブロックパイプライン処理認識制御小手段と、

上記バス制御手段による上記シンドローム計算手段と上記誤り検出手段と上記誤り訂正手段への誤り検出や誤り訂正のためのデータの転送の制御、上記誤り訂正手段による誤り訂正、上記バス制御手段による該訂正後のデータの前記バッファメモリへの書き込みに際しての制御、上記誤り検出手段が上記記憶手段へ途中結果を格納する際に目下処理対象としているECCブロックを認識し、必要な処理対象のECCブロックの選定を行わせる各手段用各ECCブロック認識制御小手段と、

自システム制御手段内の第1回誤り訂正制御小手段、偶数回誤り訂正制御小手段、奇数回誤り訂正制御小手段、回数制御小手段その他若し有しているならばDMA転送指示小手

段等に、誤り訂正処理の終了したECCブロックを後流側へ流しそれに換えて新しく処理対象になったECCブロックを前記複数ECCブロック区分け記憶可能型バッファメモリへ格納したことと、前記各小手段が目下処理対象としているECCブロックとを認識させる自手段内各小手段用のパイプライン処理における各ECCブロック認識制御小手段とを有していることを特徴とする誤り訂正装置。

16. 複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデータ（横方向はセクタと言う）を単位として誤り訂正を行うデータ構造たるECCデータを複数対象にしてその誤り訂正を並列に行うため、請求項1、請求項2、請求項5、請求項6、請求項7若しくは請求項8に記載の誤り訂正装置において更に、

上記バッファメモリは、

並列に処理する各ECCブロックを区分けして格納する各ECCブロック区分け記憶可能型バッファメモリであり、

前記誤り検出手段の生成する誤り検出処理の途中結果を格納する記憶手段は、

15 目下処理対象としている各ECCブロック毎に区分けし、更に各ECCブロック毎の符号列、各ECCブロックの各セクタ群毎の符号列若しくは各ECCブロックの各セクタ毎の符号列を区分けして格納する処理対象ECCブロックと符号列等区分け可能型記憶手段であり、

前記システム制御手段は、

20 誤り訂正処理の終了したECCブロックを後流側へ流し、それに換えて新しく処理対象になったECCブロックを前記複数ECCブロック区分け記憶可能型バッファメモリへ格納し、併せてこの事を上記バス制御手段、上記シンドローム演算手段、上記誤り検出手段、上記誤り訂正手段に認識させる各手段用ECCブロックパイプライン処理認識制御小手段と、

25 上記バス制御手段による上記シンドローム計算手段と上記誤り検出手段と上記誤り訂正手段への誤り検出や誤り訂正のためのデータの転送の制御、上記誤り訂正手段による誤り訂正、上記バス制御手段による該訂正後のデータの前記バッファメモリへの書き込みに際しての制御、上記誤り検出手段が上記記憶手段へ途中結果を格納する際に、目下処理対象としているECCブロックについて、前記処理対象ECCブロックと符号列等区分け可能型記憶手段の記憶する内容に相応して、必要な処理対象のECCブロックの符号列等の選

定を行わせる各手段用各ECCブロック符号列等認識制御小手段と、

自システム制御手段内の第1回誤り訂正制御小手段、偶数回誤り訂正制御小手段、奇数回誤り訂正制御小手段、回数制御小手段その他若し有しているならばDMA転送指示小手段等に、誤り訂正処理の終了したECCブロックを後流側へ流しそれに換えて新しく処理

5 対象になったECCブロックを前記各ECCブロック区分け記憶可能型バッファメモリへ格納したことと、前記処理対象ECCブロックと符号列等区分け可能型記憶手段の記憶する内容に相応して前記各小手段が目下処理対象としているECCブロックやその符号列等とを認識させる自手段内各小手段用のパイプライン処理における各ECCブロック符号列等認識制御小手段と有していることを特徴とする誤り訂正装置。

10 17. 複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデータ（横方向はセクタと言う）を単位として誤り訂正を行うデータ構造たるECCデータを複数対象にしてその誤り訂正を並列に行うため請求項9に記載の誤り訂正装置において更に、

15 上記バッファメモリは、

並列に処理する各ECCブロックを区分けして格納する各ECCブロック区分け記憶可能型バッファメモリであり、

前記誤り検出手段の生成する誤り検出処理の途中結果を格納する記憶手段は、

目下処理対象としている各ECCブロック毎に区分けし、更に各ECCブロック毎の符号列、各ECCブロックの各セクタ群毎の符号列若しくは各ECCブロックの各セクタ毎の符号列を区分けして格納する処理対象ECCブロックと符号列等区分け可能型記憶手段であり、

前記システム制御手段は、

誤り訂正処理の終了したECCブロックを後流側へ流し、それに換えて新しく処理対象になったECCブロックを前記複数ECCブロック区分け記憶可能型バッファメモリへ格納し、併せてこの事を上記バス制御手段、上記シンドローム演算手段、上記誤り検出手段、上記誤り訂正手段に認識させる各手段用ECCブロックパイプライン処理認識制御小手段と、

上記バス制御手段による上記シンドローム計算手段と上記誤り検出手段と上記誤り訂正手段への誤り検出や誤り訂正のためのデータの転送の制御、上記誤り訂正手段による誤り

訂正、上記バス制御手段による該訂正後のデータの前記バッファメモリへの書き込みに際しての制御、上記誤り検出手段が上記記憶手段へ途中結果を格納する際に、目下処理対象としているECCブロックについて、前記処理対象ECCブロックと符号列等区分け可能な記憶手段の記憶する内容に相応して、必要な処理対象のECCブロックの符号列等の選定を行わせる各手段用各ECCブロック符号列等認識制御小手段と、

- 自システム制御手段内の第1回誤り訂正制御小手段、偶数回誤り訂正制御小手段、奇数回誤り訂正制御小手段、回数制御小手段その他若し有しているならばDMA転送指示小手段等に、誤り訂正処理の終了したECCブロックを後流側へ流しそれに換えて新しく処理対象になったECCブロックを前記各ECCブロック区分け記憶可能なバッファメモリへ格納したことと、前記処理対象ECCブロックと符号列等区分け可能な記憶手段の記憶する内容に相応して前記各小手段が目下処理対象としているECCブロックやその符号列等とを認識させる自手段内各小手段用のパイプライン処理における各ECCブロック符号列等認識制御小手段と有していることを特徴とする誤り訂正装置。

18. 複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデータ（横方向はセクタと言う）を単位として誤り訂正を行うデータ構造たるECCデータを複数対象にしてその誤り訂正を並列に行うため請求項10に記載の誤り訂正装置において更に、

- 上記バッファメモリは、
並列に処理する各ECCブロックを区分けして格納する各ECCブロック区分け記憶可能なバッファメモリであり、

- 前記誤り検出手段の生成する誤り検出処理の途中結果を格納する記憶手段は、
目下処理対象としている各ECCブロック毎に区分けし、更に各ECCブロック毎の符号列、各ECCブロックの各セクタ群毎の符号列若しくは各ECCブロックの各セクタ毎の符号列を区分けして格納する処理対象ECCブロックと符号列等区分け可能な記憶手段であり、

- 前記システム制御手段は、
誤り訂正処理の終了したECCブロックを後流側へ流し、それに換えて新しく処理対象になったECCブロックを前記複数ECCブロック区分け記憶可能なバッファメモリへ格納し、併せてこの事を上記バス制御手段、上記シンドローム演算手段、上記誤り検出手段、

上記誤り訂正手段に認識させる各手段用 ECC ブロックバイライン処理認識制御小手段と、

上記バス制御手段による上記シンドローム計算手段と上記誤り検出手段と上記誤り訂正手段への誤り検出や誤り訂正のためのデータの転送の制御、上記誤り訂正手段による誤り

5 訂正、上記バス制御手段による該訂正後のデータの前記バッファメモリへの書き込みに際しての制御、上記誤り検出手段が上記記憶手段へ途中結果を格納する際に、目下処理対象としている ECC ブロックについて、前記処理対象 ECC ブロックと符号列等区分け可能型記憶手段の記憶する内容に相応して、必要な処理対象の ECC ブロックの符号列等の選定を行わせる各手段用各 ECC ブロック符号列等認識制御小手段と、

10 自システム制御手段内の第 1 回誤り訂正制御小手段、偶数回誤り訂正制御小手段、奇数回誤り訂正制御小手段、回数制御小手段その他若し有しているならば DMA 転送指示小手段等に、誤り訂正処理の終了した ECC ブロックを後流側へ流しそれに換えて新しく処理対象になった ECC ブロックを前記各 ECC ブロック区分け記憶可能型バッファメモリへ格納したことと、前記処理対象 ECC ブロックと符号列等区分け可能型記憶手段の記憶する内容に相応して前記各小手段が目下処理対象としている ECC ブロックやその符号列等とを認識させる自手段内各小手段用のバイライン処理における各 ECC ブロック符号列等認識制御小手段と有していることを特徴とする誤り訂正装置。

19 . 複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデータ（横方向はセクタと言う）を単位として誤り訂正を行うデータ構造たる ECC データを複数対象にしてその誤り訂正を並列に行うため請求項 11 に記載の誤り訂正装置において更に、

上記バッファメモリは、

並列に処理する各 ECC ブロックを区分けして格納する各 ECC ブロック区分け記憶可能型バッファメモリであり、

前記誤り検出手段の生成する誤り検出処理の途中結果を格納する記憶手段は、

目下処理対象としている各 ECC ブロック毎に区分けし、更に各 ECC ブロック毎の符号列、各 ECC ブロックの各セクタ群毎の符号列若しくは各 ECC ブロックの各セクタ毎の符号列を区分けして格納する処理対象 ECC ブロックと符号列等区分け可能型記憶手段

30 であり、

前記システム制御手段は、

- 誤り訂正処理の終了した ECC ブロックを後流側へ流し、それに換えて新しく処理対象になった ECC ブロックを前記複数 ECC ブロック区分け記憶可能型バッファメモリへ格納し、併せてこの事を上記バス制御手段、上記シンドローム演算手段、上記誤り検出手段、
5 上記誤り訂正手段に認識させる各手段用 ECC ブロックパイプライン処理認識制御小手段と、

- 上記バス制御手段による上記シンドローム計算手段と上記誤り検出手段と上記誤り訂正手段への誤り検出や誤り訂正のためのデータの転送の制御、上記誤り訂正手段による誤り訂正、上記バス制御手段による該訂正後のデータの前記バッファメモリへの書き込みに際
10 しての制御、上記誤り検出手段が上記記憶手段へ途中結果を格納する際に、目下処理対象としている ECC ブロックについて、前記処理対象 ECC ブロックと符号列等区分け可能型記憶手段の記憶する内容に相応して、必要な処理対象の ECC ブロックの符号列等の選定を行わせる各手段用各 ECC ブロック符号列等認識制御小手段と、

- 自システム制御手段内の第 1 回誤り訂正制御小手段、偶数回誤り訂正制御小手段、奇数
15 回誤り訂正制御小手段、回数制御小手段その他若し有しているならば DMA 転送指示小手段等に、誤り訂正処理の終了した ECC ブロックを後流側へ流しそれに換えて新しく処理対象になった ECC ブロックを前記各 ECC ブロック区分け記憶可能型バッファメモリへ格納したことと、前記処理対象 ECC ブロックと符号列等区分け可能型記憶手段の記憶する内容に相応して前記各小手段が目下処理対象としている ECC ブロックやその符号列等
20 を認識させる自手段内各小手段用のパイプライン処理における各 ECC ブロック符号列等認識制御小手段と有していることを特徴とする誤り訂正装置。

20. 複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデータ（横方向はセクタと言う）を単位として誤り訂正を行うデータ構造たる ECC データを複数対象にしてその誤り訂正を並列に行うため、請求項 1、請求項 2、請求項 5、請求
25 項 6、請求項 7 若しくは請求項 8 に記載の誤り訂正装置において更に、

上記バッファメモリは、

並列に処理する ECC ブロックに相応した複数 ECC ブロック区分け記憶可能型バッファメモリであり、

- 30 前記誤り検出手段の生成する誤り検出処理の途中結果を格納する記憶手段は、

各処理対象のECCブロック毎に区分けして格納する処理対象ECCブロック区分型記憶手段であり、

前記システム制御手段は、

誤り訂正処理の終了したECCブロックを一括して後流側へ流し、それに換えて新しく
5 処理対象になったECCブロックを一括して前記複数ECCブロック区分型記憶可能型バ
ッファメモリへ格納し、併せてこの事を上記バス制御手段、上記シンドローム計算手段、
上記誤り検出手段、上記誤り訂正手段に認識させる一括型手段用ECCブロックバイプラ
イン処理認識制御小手段と、

上記バス制御手段による上記シンドローム計算手段と上記誤り検出手段と上記誤り訂正
10 手段への誤り検出や誤り訂正のためのデータの転送の制御、上記誤り訂正手段による誤り
訂正、上記バス制御手段による該訂正後のデータの前記バッファメモリへの書き込みに際
しての制御、上記誤り検出手段が上記記憶手段へ途中結果を格納する際に目下処理対象と
しているECCブロックを認識し、必要な処理対象のECCブロックの選定を行わせる一
括型各手段用各ECCブロック認識制御小手段と、

15 自システム制御手段内の第1回誤り訂正制御小手段、偶数回誤り訂正制御小手段、奇数
回誤り訂正制御小手段、回数制御小手段その他若し有しているならばDMA転送指示小手
段等に誤り訂正処理の終了したECCブロックを一括して後流側へ流しそれに換えて新しく
処理対象になったECCブロックを一括して前記複数ECCブロック区分型記憶可能型
バッファメモリへ格納したことと、前記各小手段が目下処理対象としているECCブロッ
クとを認識させる自手段内各小手段用のバイライン処理における一括型各ECCブロッ
ク認識制御小手段と有していることを特徴とする誤り訂正装置。

21. 複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符
号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデ
ータ（横方向はセクタと言う）を単位として誤り訂正を行うデータ構造たるECCデータ
25 を複数対象にしてその誤り訂正を並列に行うため請求項9に記載の誤り訂正装置において
更に、

上記バッファメモリは、

並列に処理するECCブロックに相応した複数ECCブロック区分型記憶可能型バッフ
アメモリであり、

30 前記誤り検出手段の生成する誤り検出処理の途中結果を格納する記憶手段は、

各処理対象のECCブロック毎に区分けして格納する処理対象ECCブロック区分型記憶手段であり、

前記システム制御手段は、

誤り訂正処理の終了したECCブロックを一括して後流側へ流し、それに換えて新しく

5 処理対象になったECCブロックを一括して前記複数ECCブロック区分け記憶可能型バッファメモリへ格納し、併せてこの事を上記バス制御手段、上記シンドローム計算手段、上記誤り検出手段、上記誤り訂正手段に認識させる一括型手段用ECCブロックパイプライン処理認識制御小手段と、

上記バス制御手段による上記シンドローム計算手段と上記誤り検出手段と上記誤り訂正

10 手段への誤り検出や誤り訂正のためのデータの転送の制御、上記誤り訂正手段による誤り訂正、上記バス制御手段による該訂正後のデータの前記バッファメモリへの書き込みに際しての制御、上記誤り検出手段が上記記憶手段へ途中結果を格納する際に目下処理対象としているECCブロックを認識し、必要な処理対象のECCブロックの選定を行わせる一括型各手段用各ECCブロック認識制御小手段と、

15 自システム制御手段内の第1回誤り訂正制御小手段、偶数回誤り訂正制御小手段、奇数回誤り訂正制御小手段、回数制御小手段その他若し有しているならばDMA転送指示小手段等に誤り訂正処理の終了したECCブロックを一括して後流側へ流しそれに換えて新しく処理対象になったECCブロックを一括して前記複数ECCブロック区分け記憶可能型バッファメモリへ格納したことと、前記各小手段が目下処理対象としているECCブロックとを認識させる自手段内各小手段用のパイプライン処理における一括型各ECCブロック認識制御小手段と有していることを特徴とする誤り訂正装置。

22. 複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデータ（横方向はセクタと言う）を単位として誤り訂正を行うデータ構造たるECCデータを複数対象にしてその誤り訂正を並列に行うため請求項10に記載の誤り訂正装置において更に、

上記バッファメモリは、

並列に処理するECCブロックに相応した複数ECCブロック区分け記憶可能型バッファメモリであり、

30 前記誤り検出手段の生成する誤り検出処理の途中結果を格納する記憶手段は、

各処理対象のECCブロック毎に区分けして格納する処理対象ECCブロック区分型記憶手段であり、

前記システム制御手段は、

誤り訂正処理の終了したECCブロックを一括して後流側へ流し、それに換えて新しく
5 処理対象になったECCブロックを一括して前記複数ECCブロック区分型記憶可能型バッファメモリへ格納し、併せてこの事を上記バス制御手段、上記シンドローム計算手段、
上記誤り検出手段、上記誤り訂正手段に認識させる一括型手段用ECCブロックパイプライン処理認識制御小手段と、

上記バス制御手段による上記シンドローム計算手段と上記誤り検出手段と上記誤り訂正
10 手段への誤り検出や誤り訂正のためのデータの転送の制御、上記誤り訂正手段による誤り
訂正、上記バス制御手段による該訂正後のデータの前記バッファメモリへの書き込みに際
しての制御、上記誤り検出手段が上記記憶手段へ途中結果を格納する際に目下処理対象と
しているECCブロックを認識し、必要な処理対象のECCブロックの選定を行わせる一
括型各手段用各ECCブロック認識制御小手段と、

15 自システム制御手段内の第1回誤り訂正制御小手段、偶数回誤り訂正制御小手段、奇数
回誤り訂正制御小手段、回数制御小手段その他若し有しているならばDMA転送指示小手
段等に誤り訂正処理の終了したECCブロックを一括して後流側へ流しそれに換えて新し
く処理対象になったECCブロックを一括して前記複数ECCブロック区分型記憶可能型
バッファメモリへ格納したことと、前記各小手段が目下処理対象としているECCブロッ
20 クとを認識させる自手段内各小手段用のパイプライン処理における一括型各ECCブロッ
ク認識制御小手段と有していることを特徴とする誤り訂正装置。

23. 複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符
号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデ
ータ（横方向はセクタと言う）を単位として誤り訂正を行うデータ構造たるECCデータ
25 を複数対象にしてその誤り訂正を並列に行うため請求項11に記載の誤り訂正装置にお
いて更に、

上記バッファメモリは、

並列に処理するECCブロックに相応した複数ECCブロック区分型記憶可能型バッフ
アメモリであり、

30 前記誤り検出手段の生成する誤り検出処理の途中結果を格納する記憶手段は、

各処理対象のECCブロック毎に区分けして格納する処理対象ECCブロック区分型記憶手段であり、

前記システム制御手段は、

誤り訂正処理の終了したECCブロックを一括して後流側へ流し、それに換えて新しく
5 処理対象になったECCブロックを一括して前記複数ECCブロック区分型記憶可能型バッファメモリへ格納し、併せてこの事を上記バス制御手段、上記シンドローム計算手段、
上記誤り検出手段、上記誤り訂正手段に認識させる一括型手段用ECCブロックパイプラ
イン処理認識制御小手段と、

上記バス制御手段による上記シンドローム計算手段と上記誤り検出手段と上記誤り訂正
10 手段への誤り検出や誤り訂正のためのデータの転送の制御、上記誤り訂正手段による誤り
訂正、上記バス制御手段による該訂正後のデータの前記バッファメモリへの書き込みに際
しての制御、上記誤り検出手段が上記記憶手段へ途中結果を格納する際に目下処理対象と
しているECCブロックを認識し、必要な処理対象のECCブロックの選定を行わせる一
括型各手段用各ECCブロック認識制御小手段と、

15 自システム制御手段内の第1回誤り訂正制御小手段、偶数回誤り訂正制御小手段、奇数
回誤り訂正制御小手段、回数制御小手段その他若し有しているならばDMA転送指示小手
段等に誤り訂正処理の終了したECCブロックを一括して後流側へ流しそれに換えて新し
く処理対象になったECCブロックを一括して前記複数ECCブロック区分型記憶可能型
バッファメモリへ格納したことと、前記各小手段が目下処理対象としているECCブロッ
20 クとを認識させる自手段内各小手段用のパイプライン処理における一括型各ECCブロッ
ク認識制御小手段と有していることを特徴とする誤り訂正装置。

24. 複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符
号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデ
ータ（横方向はセクタと言う）を単位として誤り訂正を行うデータ構造たるECCデータ
25 を複数対象にしてその誤り訂正を並列に行うため、請求項1、請求項2、請求項5、請求
項6、請求項7若しくは請求項8に記載の誤り訂正装置において更に、

上記バッファメモリは、

並列に処理する各ECCブロックを区分けして格納する各ECCブロック区分型記憶可
能型バッファメモリであり、

30 前記誤り検出手段の生成する誤り検出処理の途中結果を格納する記憶手段は、

目下処理対象としている各ECCブロック毎に区分けし、更に各ECCブロック毎の符号列、各ECCブロックの各セクタ群毎の符号列若しくは各ECCブロックの各セクタ毎の符号列を区分けして格納する処理対象ECCブロックと符号列等分け可能型記憶手段であり、

5 前記システム制御手段は、

誤り訂正処理の終了したECCブロックを一括して後流側へ流し、それに換えて新しく処理対象になったECCブロックを一括して前記複数ECCブロック区分け記憶可能型バッファメモリへ格納し、併せてこの事を上記バス制御手段、上記シンドローム演算手段、上記誤り検出手段、上記誤り訂正手段に認識させる一括型各手段用ECCブロックパイプ

10 ライン処理認識制御小手段と、

上記バス制御手段による上記シンドローム計算手段と上記誤り検出手段と上記誤り訂正手段への誤り検出や誤り訂正のためのデータの転送の制御、上記誤り訂正手段による誤り訂正、上記バス制御手段による該訂正後のデータの前記バッファメモリへの書き込みに際しての制御、上記誤り検出手段が上記記憶手段へ途中結果を格納する際に、目下処理対象

15 としているECCブロックについて、前記処理対象ECCブロックと符号列等分け可能型記憶手段の記憶する内容に相応して、必要な処理対象のECCブロックの符号列等の選定を行わせる一括型各手段用各ECCブロック符号列等認識制御小手段と、

自システム制御手段内の第1回誤り訂正制御小手段、偶数回誤り訂正制御小手段、奇数回誤り訂正制御小手段、回数制御小手段その他若し有しているならばDMA転送指示小手段等に、誤り訂正処理の終了したECCブロックを一括して後流側へ流しそれに換えて新しく処理対象になったECCブロックを一括して前記各ECCブロック区分け記憶可能型バッファメモリへ格納したことと、前記処理対象ECCブロックと符号列等分け可能型記憶手段の記憶する内容に相応して前記各小手段が目下処理対象としているECCブロックやその符号列等とを認識させる自手段内各小手段用のパイプライン処理における一括型各ECCブロック符号列等認識制御小手段と有していることを特徴とする誤り訂正装置。

25. 複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデータ（横方向はセクタと言う）を単位として誤り訂正を行うデータ構造たるECCデータを複数対象にしてその誤り訂正を並列に行うため請求項9に記載の誤り訂正装置において

30 更に、

上記バッファメモリは、

並列に処理する各ECCブロックを区分けして格納する各ECCブロック区分け記憶可能型バッファメモリであり、

前記誤り検出手段の生成する誤り検出処理の途中結果を格納する記憶手段は、

5 目下処理対象としている各ECCブロック毎に区分けし、更に各ECCブロック毎の符号列、各ECCブロックの各セクタ群毎の符号列若しくは各ECCブロックの各セクタ毎の符号列を区分けして格納する処理対象ECCブロックと符号列等区分け可能型記憶手段であり、

前記システム制御手段は、

10 誤り訂正処理の終了したECCブロックを一括して後流側へ流し、それに換えて新しく処理対象になったECCブロックを一括して前記複数ECCブロック区分け記憶可能型バッファメモリへ格納し、併せてこの事を上記バス制御手段、上記シンドローム演算手段、上記誤り検出手段、上記誤り訂正手段に認識させる一括型各手段用ECCブロックパイプライン処理認識制御小手段と、

15 上記バス制御手段による上記シンドローム計算手段と上記誤り検出手段と上記誤り訂正手段への誤り検出や誤り訂正のためのデータの転送の制御、上記誤り訂正手段による誤り訂正、上記バス制御手段による該訂正後のデータの前記バッファメモリへの書き込みに際しての制御、上記誤り検出手段が上記記憶手段へ途中結果を格納する際に、目下処理対象としているECCブロックについて、前記処理対象ECCブロックと符号列等区分け可能

20 型記憶手段の記憶する内容に相応して、必要な処理対象のECCブロックの符号列等の選定を行わせる一括型各手段用各ECCブロック符号列等認識制御小手段と、

自システム制御手段内の第1回誤り訂正制御小手段、偶数回誤り訂正制御小手段、奇数回誤り訂正制御小手段、回数制御小手段その他若し有しているならばDMA転送指示小手段等に、誤り訂正処理の終了したECCブロックを一括して後流側へ流しそれに換えて新しく処理対象になったECCブロックを一括して前記各ECCブロック区分け記憶可能型バッファメモリへ格納したことと、前記処理対象ECCブロックと符号列等区分け可能型記憶手段の記憶する内容に相応して前記各小手段が目下処理対象としているECCブロックやその符号列等とを認識させる自手段内各小手段用のパイプライン処理における一括型各ECCブロック符号列等認識制御小手段と有していることを特徴とする誤り訂正装置。

30 26. 複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符

号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデータ（横方向はセクタと言う）を単位として誤り訂正を行うデータ構造たる ECC データを複数対象にしてその誤り訂正を並列に行うため請求項 10 に記載の誤り訂正装置において更に、

5 上記バッファメモリは、

並列に処理する各 ECC ブロックを区分けして格納する各 ECC ブロック区分け記憶可能型バッファメモリであり、

前記誤り検出手段の生成する誤り検出処理の途中結果を格納する記憶手段は、

目下処理対象としている各 ECC ブロック毎に区分けし、更に各 ECC ブロック毎の符号列、各 ECC ブロックの各セクタ群毎の符号列若しくは各 ECC ブロックの各セクタ毎の符号列を区分けして格納する処理対象 ECC ブロックと符号列等区分け可能型記憶手段であり、

前記システム制御手段は、

誤り訂正処理の終了した ECC ブロックを一括して後流側へ流し、それに換えて新しく 15 処理対象になった ECC ブロックを一括して前記複数 ECC ブロック区分け記憶可能型バッファメモリへ格納し、併せてこの事を上記バス制御手段、上記シンドローム演算手段、上記誤り検出手段、上記誤り訂正手段に認識させる一括型各手段用 ECC ブロックパイプライン処理認識制御小手段と、

上記バス制御手段による上記シンドローム計算手段と上記誤り検出手段と上記誤り訂正 20 手段への誤り検出や誤り訂正のためのデータの転送の制御、上記誤り訂正手段による誤り訂正、上記バス制御手段による該訂正後のデータの前記バッファメモリへの書き込みに際しての制御、上記誤り検出手段が上記記憶手段へ途中結果を格納する際に、目下処理対象としている ECC ブロックについて、前記処理対象 ECC ブロックと符号列等区分け可能型記憶手段の記憶する内容に相応して、必要な処理対象の ECC ブロックの符号列等の選定を行わせる一括型各手段用各 ECC ブロック符号列等認識制御小手段と、

自システム制御手段内の第 1 回誤り訂正制御小手段、偶数回誤り訂正制御小手段、奇数回誤り訂正制御小手段、回数制御小手段その他若し有しているならば DMA 転送指示小手段等に、誤り訂正処理の終了した ECC ブロックを一括して後流側へ流しそれに換えて新しく処理対象になった ECC ブロックを一括して前記各 ECC ブロック区分け記憶可能型 30 バッファメモリへ格納したことと、前記処理対象 ECC ブロックと符号列等区分け可能型

記憶手段の記憶する内容に相応して前記各小手段が目下処理対象としているECCブロックやその符号列等とを認識させる自手段内各小手段用のパイプライン処理における一括型各ECCブロック符号列等認識制御小手段と有していることを特徴とする誤り訂正装置。

27. 複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデータ（横方向はセクタと言う）を単位として誤り訂正を行うデータ構造たるECCデータを複数対象にしてその誤り訂正を並列に行うため請求項11に記載の誤り訂正装置において更に、

上記バッファメモリは、

10 並列に処理する各ECCブロックを区分けして格納する各ECCブロック区分け記憶可能型バッファメモリであり、

前記誤り検出手段の生成する誤り検出処理の途中結果を格納する記憶手段は、

目下処理対象としている各ECCブロック毎に区分けし、更に各ECCブロック毎の符号列、各ECCブロックの各セクタ群毎の符号列若しくは各ECCブロックの各セクタ毎15 の符号列を区分けして格納する処理対象ECCブロックと符号列等区分け可能型記憶手段であり、

前記システム制御手段は、

誤り訂正処理の終了したECCブロックを一括して後流側へ流し、それに換えて新しく処理対象になったECCブロックを一括して前記複数ECCブロック区分け記憶可能型バ20 ッファメモリへ格納し、併せてこの事を上記バス制御手段、上記シンドローム演算手段、上記誤り検出手段、上記誤り訂正手段に認識させる一括型各手段用ECCブロックパイプライン処理認識制御小手段と、

上記バス制御手段による上記シンドローム計算手段と上記誤り検出手段と上記誤り訂正手段への誤り検出や誤り訂正のためのデータの転送の制御、上記誤り訂正手段による誤り25 訂正、上記バス制御手段による該訂正後のデータの前記バッファメモリへの書き込みに際しての制御、上記誤り検出手段が上記記憶手段へ途中結果を格納する際に、目下処理対象としているECCブロックについて、前記処理対象ECCブロックと符号列等区分け可能型記憶手段の記憶する内容に相応して、必要な処理対象のECCブロックの符号列等の選定を行わせる一括型各手段用各ECCブロック符号列等認識制御小手段と、

30 自システム制御手段内の第1回誤り訂正制御小手段、偶数回誤り訂正制御小手段、奇数

回誤り訂正制御小手段、回数制御小手段その他若し有しているならばDMA転送指示小手段等に、誤り訂正処理の終了したECCブロックを一括して後流側へ流しそれに換えて新しく処理対象になったECCブロックを一括して前記各ECCブロック区分け記憶可能型バッファメモリへ格納したことと、前記処理対象ECCブロックと符号列等区分け可能型記憶手段の記憶する内容に相応して前記各小手段が目下処理対象としているECCブロックやその符号列等とを認識させる自手段内各小手段用のパイプライン処理における一括型各ECCブロック符号列等認識制御小手段と有していることを特徴とする誤り訂正装置。

28. 複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデータ（横方向はセクタと言う）を単位として誤り訂正を行うデータ構造たるECCデータを対象にしてその誤り訂正を行うだけでなく、復調した符号をバッファメモリに格納する際にもこれと並列にシンドローム計算と誤り検出を行う誤り訂正装置であって、

バッファメモリを介してシンドローム計算を行う第1のシンドローム計算手段と、

前記第1のシンドローム計算手段と組の第1の誤り検出手段と、

15 復調した符号をバッファメモリを介さずシンドローム計算を行う第2のシンドローム計算手段と、

前記第2のシンドローム計算手段と組の第2の誤り検出手段と、

前記第1の誤り検出手段と前記第2の誤り検出手段の演算の途中結果を格納する記憶手段と、

20 上流から送られてきたデータを、前記第2のシンドローム計算手段が誤り符号を検出するまではバッファメモリに格納するのに並行して前記第2のシンドローム計算手段と第2の誤り検出手段とに送るバッファメモリ並行転送手段と、

前記第2のシンドローム計算手段が誤り符号を検出した後は、当該誤り符号が検出されるまでの符号列に対する前記第2の誤り検出手段の演算の途中結果を前記記憶手段に送り、

25 更に同じ方向の第2回目以降の誤り訂正においては前記第2のシンドローム計算手段が誤り符号を検出した後は、当該誤り符号が検出されるまでの符号列に対する前記第2の誤り検出手段の演算の途中結果を前記記憶手段に送る様に切換えを行う検出手段切換え手段と、

前記第1の誤り検出手段若しくは前記第2の誤り検出手段が誤り符号列を検出した後は誤り訂正を行う誤り訂正手段と、

30 同じ方向の第2回目以降の誤り訂正においては、前記第1のシンドローム計算手段が誤

り符号を検出するまではバッファメモリに格納されているデータのうち、前記記憶手段に格納されている以降の符号列から前記第1のシンドローム計算手段と第1の誤り検出手段とに送る並行転送制御手段と、

同じ方向の第2回目以降の前記第2の誤り検出手段による誤り検出においては、前記記憶手段に記憶されている途中結果を利用して以降の符号列の誤り検出を行わせる第2回目以降検出処理済データ流用制御手段とを有していることを特徴とする誤り訂正装置。

29. 複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデータ（横方向はセクタと言う）を単位として誤り訂正を行うデータ構造たるECCデータを対象にしてその誤り訂正を行うだけでなく、復調した符号をバッファメモリに格納する際にもこれと並列にシンドローム計算と誤り検出を行う誤り訂正装置であって、

バッファメモリを介してシンドローム計算を行う第1のシンドローム計算手段と、

前記第1のシンドローム計算手段と組の第1の誤り検出手段と、

復調した符号をバッファメモリを介さずシンドローム計算を行う第2のシンドローム計算手段と、

前記第2のシンドローム計算手段と組の第2の誤り検出手段と、

前記第1の誤り検出手段と前記第2の誤り検出手段の、ECCブロック、各セクタ、各セクタ群等毎の予め定められたデータ単位毎における演算の途中結果を当該データ単位毎に区分けして格納する記憶手段と、

20 上流から送られてきたデータを、上記データ単位毎に前記第2のシンドローム計算手段が誤り符号を検出するまではバッファメモリに格納するのに並行して前記第2のシンドローム計算手段と第2の誤り検出手段とに順に送るバッファメモリ並行転送手段と、

上記データ単位毎に、前記第2のシンドローム計算手段が誤り符号を検出した後は、当該誤り符号が検出されるまでの符号列に対する前記第2の誤り検出手段の演算の途中結果を前記記憶手段に送り、更に同じ方向の第2回目以降の誤り訂正においては前記第2のシンドローム計算手段が誤り符号を検出した後は、当該誤り符号が検出されるまでの符号列に対する前記第2の誤り検出手段の演算の途中結果を前記記憶手段に送る様に切換えを行う検出手段切換え手段と、

前記第1の誤り検出手段若しくは前記第2の誤り検出手段が誤り符号列を検出した後は

30 誤り訂正を行う誤り訂正手段と、

同じ方向の第2回目以降の誤り訂正においては、上記データ単位毎に前記第1のシンドローム計算手段が誤り符号を検出するまではバッファメモリに格納されているデータのうち、前記記憶手段に格納されている以降の符号列から前記第1のシンドローム計算手段と第1の誤り検出手段とに送る並行転送制御手段と、

- 5 前記第1の誤り検出手段若しくは前記第2の誤り検出手段が誤り符号列を検出した後は誤り訂正を行う誤り訂正手段と、

上記データ単位毎に、前記第2の誤り検出手段による同じ方向の第2回目以降の誤り検出においては、前記記憶手段に記憶されている途中結果を利用して以降の符号列の誤り検出を行わせる第2回目以降検出処理済データ流用制御手段とを有していることを特徴とする誤り訂正装置。

- 10 30. 複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデータ（横方向はセクタと言う）を単位として誤り訂正を行うデータ構造たるECCデータを複数対象にして、いわゆるパイプライン処理によりそれらの誤り訂正を同時あるいは並列的に行うだけでなく、復調したデータをバッファメモリに格納する際にもこれと並列に当該復調したデータに対してシンドローム計算と誤り検出を行う誤り訂正装置であって、

パイプラインで処理する各ECCブロックを区分けして格納するバッファメモリと、

シンドローム計算を行う第1のシンドローム計算手段と、

前記第1のシンドローム計算手段と組の第1の誤り検出手段と、

- 20 シンドローム計算を行う第2のシンドローム計算手段と、

前記第2のシンドローム計算手段と組の第2の誤り検出手段と、

前記第1の誤り検出手段と前記第2の誤り検出手段の、ECCブロック、各セクタ、各セクタ群等毎の予め定められたデータ単位毎における演算の途中結果を目下処理している各ECCブロックの当該データ単位毎に区分けして格納する記憶手段と、

- 25 上流側から送られてくる復調されたデータに対してのシンドローム計算を上記2個のシンドローム計算手段のいずれか一方に行わせ、また前記バッファメモリに格納されているデータが有れば他方のシンドローム計算手段にシンドローム計算を行わせる復調符号用計算選択手段と、

上流から送られてきたデータを、上記データ単位毎に前記復調符号用計算選択手段に選

- 30 択されたシンドローム計算手段が誤り符号を検出するまでは、前記バッファメモリに格納

するのに並行して該シンドローム計算手段とこれと組の誤り検出手段とに順に送るバッファメモリ並行転送手段と、

上記データ単位毎に、前記復調符号用計算選択手段に選択されたシンドローム計算手段が上流から送られてきたデータに対して誤り符号を検出した後は、当該誤り符号が検出されるまでの符号列に対する組の誤り検出手段の演算の途中結果を前記記憶手段に送り、更に同じ方向の第2回目以降の誤り訂正においては担当するシンドローム計算手段が誤り符号を検出した後は、当該誤り符号が検出されるまでの符号列に対する対応する組の誤り検出手段の演算の途中結果を前記記憶手段に送る様に切換えを行う検出手段切換え手段と、

前記第1の誤り検出手段若しくは前記第2の誤り検出手段が誤り符号列を検出した後は

誤り訂正を行う誤り訂正手段と、

前記バッファメモリに格納されたデータに対してのシンドローム計算を上記2個のシンドローム計算手段のいずれに行わせるかを、上記各ECCブロック、データ単位毎に決定する格納符号用計算選択手段と、

同じ方向の第2回目以降の誤り訂正においては、上記データ単位毎に前記第1のシンド

ローム計算手段が誤り符号を検出するまでは前記バッファメモリに格納されているデータのうち、前記記憶手段に格納されている以降の符号列から前記第1のシンドローム計算手段と第1の誤り検出手段うち担当する方に送る並行転送制御手段と、

上記データ単位毎に、前記いずれかの誤り検出手段による同じ方向の第2回目以降の誤

り検出においては、前記記憶手段に記憶されている途中結果を利用して以降の符号列の誤

り検出を行わせる第2回目以降検出処理済データ流用制御手段と、

誤り訂正処理の終了したECCブロックを所定の手順で後流側へ流し、それに換えて新しく処理対象になったECCブロックを所定の手順で前記バッファメモリへ格納し、併せてこの事を前記符号用計算選択手段、前記バッファメモリ並行転送手段、前記検出手段切換え手段、前記2個のシンドローム演算手段、前記誤り検出手段、前記誤り訂正手段、前記並行転送制御手段、前記第2回目以降検出処理済データ流用制御手段とに認識させる各手段用パイプライン処理認識制御手段と、

上記各手段による各種処理に際しての目下処理対象としているECCブロックやデータ

単位の転送や書き換えの制御、誤り訂正処理の終了したECCブロックを所定の手順で後流側へ流しそれに換えて新しく処理対象になったECCブロックを所定の手順で前記バッ

ファメモリへ格納させる際の他部との調整等を行うシステム制御手段とを有していること

を特徴とする誤り訂正装置。

31. 上記バッファメモリは、1セクタ分、1ECC分等所定の容量のものを2個有し、

更に、DVDやCD-R OMから読み出した等の誤り訂正の対象となる相連続する1セクタ分、1ECC分等所定の容量のデータを上記2個のバッファメモリに誤り訂正速度に合わせて交互に格納するバッファメモリ格納制御手段と、

誤り訂正の対象となるデータの読み出しや書き込みがなされるバッファメモリを、相連続する1セクタ、1ECC分等所定の容量毎に交互に切り換えるアクセス対象バッファメモリ切換え制御手段とを有していることを特徴とする請求項1、請求項2、請求項3、請求項4、請求項5、請求項6、請求項7、請求項8、請求項28、請求項29若しくは請求項30に記載の誤り訂正装置。

32. 上記バッファメモリは、1セクタ分、1ECC分等所定の容量のものを2個有し、

更に、DVDやCD-R OMから読み出した等の誤り訂正の対象となる相連続する1セクタ分、1ECC分等所定の容量のデータを上記2個のバッファメモリに誤り訂正速度に合わせて交互に格納するバッファメモリ格納制御手段と、

誤り訂正の対象となるデータの読み出しや書き込みがなされるバッファメモリを、相連続する1セクタ、1ECC分等所定の容量毎に交互に切り換えるアクセス対象バッファメモリ切換え制御手段とを有していることを特徴とする請求項9に記載の誤り訂正装置。

33. 上記バッファメモリは、1セクタ分、1ECC分等所定の容量のものを2個有し、

更に、DVDやCD-R OMから読み出した等の誤り訂正の対象となる相連続する1セクタ分、1ECC分等所定の容量のデータを上記2個のバッファメモリに誤り訂正速度に合わせて交互に格納するバッファメモリ格納制御手段と、

誤り訂正の対象となるデータの読み出しや書き込みがなされるバッファメモリを、相連続する1セクタ、1ECC分等所定の容量毎に交互に切り換えるアクセス対象バッファメモリ切換え制御手段とを有していることを特徴とする請求項10に記載の誤り訂正装置。

34. 上記バッファメモリは、1セクタ分、1ECC分等所定の容量のものを2個有し、

更に、DVDやCD-R OMから読み出した等の誤り訂正の対象となる相連続する1セ

クタ分、1 E C C 分等所定の容量のデータを上記2個のバッファメモリに誤り訂正速度に合わせて交互に格納するバッファメモリ格納制御手段と、

誤り訂正の対象となるデータの読み出しや書き込みがなされるバッファメモリを、相連続する1セクタ、1 E C C 分等所定の容量毎に交互に切り換えるアクセス対象バッファメ
5 モリ切換え制御手段とを有していることを特徴とする請求項1 1に記載の誤り訂正装置。

35. 上記バッファメモリは、1セクタ分、1 E C C 分等所定の容量のものを2個有し、

更に、D V D やC D —R O Mから読み出した等の誤り訂正の対象となる相連続する1セクタ分、1 E C C 分等所定の容量のデータを上記2個のバッファメモリに誤り訂正速度に合わせて交互に格納するバッファメモリ格納制御手段と、
10

誤り訂正の対象となるデータの読み出しや書き込みがなされるバッファメモリを、相連続する1セクタ、1 E C C 分等所定の容量毎に交互に切り換えるアクセス対象バッファメモリ切換え制御手段とを有していることを特徴とする請求項1 2に記載の誤り訂正装置。

36. 上記バッファメモリは、1セクタ分、1 E C C 分等所定の容量のものを2個有し、
15

更に、D V D やC D —R O Mから読み出した等の誤り訂正の対象となる相連続する1セクタ分、1 E C C 分等所定の容量のデータを上記2個のバッファメモリに誤り訂正速度に合わせて交互に格納するバッファメモリ格納制御手段と、

誤り訂正の対象となるデータの読み出しや書き込みがなされるバッファメモリを、相連
20 続する1セクタ、1 E C C 分等所定の容量毎に交互に切り換えるアクセス対象バッファメモリ切換え制御手段とを有していることを特徴とする請求項1 3に記載の誤り訂正装置。

37. 上記バッファメモリは、1セクタ分、1 E C C 分等所定の容量のものを2個有し、

更に、D V D やC D —R O Mから読み出した等の誤り訂正の対象となる相連続する1セクタ分、1 E C C 分等所定の容量のデータを上記2個のバッファメモリに誤り訂正速度に合わせて交互に格納するバッファメモリ格納制御手段と、
25

誤り訂正の対象となるデータの読み出しや書き込みがなされるバッファメモリを、相連続する1セクタ、1 E C C 分等所定の容量毎に交互に切り換えるアクセス対象バッファメモリ切換え制御手段とを有していることを特徴とする請求項1 4に記載の誤り訂正装置。

30 38. 上記バッファメモリは、1セクタ分、1 E C C 分等所定の容量のものを2個

有し、

更に、DVDやCD-ROMから読み出した等の誤り訂正の対象となる相連続する1セクタ分、1ECC分等所定の容量のデータを上記2個のバッファメモリに誤り訂正速度に合わせて交互に格納するバッファメモリ格納制御手段と、

- 5 誤り訂正の対象となるデータの読み出しや書き込みがなされるバッファメモリを、相連続する1セクタ、1ECC分等所定の容量毎に交互に切り換えるアクセス対象バッファメモリ切換え制御手段とを有していることを特徴とする請求項15に記載の誤り訂正装置。

39. 上記バッファメモリは、1セクタ分、1ECC分等所定の容量のものを2個有し、

- 10 更に、DVDやCD-ROMから読み出した等の誤り訂正の対象となる相連続する1セクタ分、1ECC分等所定の容量のデータを上記2個のバッファメモリに誤り訂正速度に合わせて交互に格納するバッファメモリ格納制御手段と、

誤り訂正の対象となるデータの読み出しや書き込みがなされるバッファメモリを、相連続する1セクタ、1ECC分等所定の容量毎に交互に切り換えるアクセス対象バッファメモリ切換え制御手段とを有していることを特徴とする請求項16に記載の誤り訂正装置。

40. 上記バッファメモリは、1セクタ分、1ECC分等所定の容量のものを2個有し、

- 更に、DVDやCD-ROMから読み出した等の誤り訂正の対象となる相連続する1セクタ分、1ECC分等所定の容量のデータを上記2個のバッファメモリに誤り訂正速度に合わせて交互に格納するバッファメモリ格納制御手段と、

誤り訂正の対象となるデータの読み出しや書き込みがなされるバッファメモリを、相連続する1セクタ、1ECC分等所定の容量毎に交互に切り換えるアクセス対象バッファメモリ切換え制御手段とを有していることを特徴とする請求項17に記載の誤り訂正装置。

41. 上記バッファメモリは、1セクタ分、1ECC分等所定の容量のものを2個有し、

更に、DVDやCD-ROMから読み出した等の誤り訂正の対象となる相連続する1セクタ分、1ECC分等所定の容量のデータを上記2個のバッファメモリに誤り訂正速度に合わせて交互に格納するバッファメモリ格納制御手段と、

- 誤り訂正の対象となるデータの読み出しや書き込みがなされるバッファメモリを、相連続する1セクタ、1ECC分等所定の容量毎に交互に切り換えるアクセス対象バッファメ

モリ切換え制御手段とを有していることを特徴とする請求項 18 に記載の誤り訂正装置。

42. 上記バッファメモリは、1セクタ分、1ECC分等所定の容量のものを2個有し、

更に、DVDやCD-ROMから読み出した等の誤り訂正の対象となる相連続する1セクタ分、1ECC分等所定の容量のデータを上記2個のバッファメモリに誤り訂正速度に合わせて交互に格納するバッファメモリ格納制御手段と、

誤り訂正の対象となるデータの読み出しや書き込みがなされるバッファメモリを、相連続する1セクタ、1ECC分等所定の容量毎に交互に切り換えるアクセス対象バッファメモリ切換え制御手段とを有していることを特徴とする請求項 19 に記載の誤り訂正装置。

10 43. 上記バッファメモリは、1セクタ分、1ECC分等所定の容量のものを2個有し、

更に、DVDやCD-ROMから読み出した等の誤り訂正の対象となる相連続する1セクタ分、1ECC分等所定の容量のデータを上記2個のバッファメモリに誤り訂正速度に合わせて交互に格納するバッファメモリ格納制御手段と、

15 誤り訂正の対象となるデータの読み出しや書き込みがなされるバッファメモリを、相連続する1セクタ、1ECC分等所定の容量毎に交互に切り換えるアクセス対象バッファメモリ切換え制御手段とを有していることを特徴とする請求項 20 に記載の誤り訂正装置。

44. 上記バッファメモリは、1セクタ分、1ECC分等所定の容量のものを2個有し、

20 更に、DVDやCD-ROMから読み出した等の誤り訂正の対象となる相連続する1セクタ分、1ECC分等所定の容量のデータを上記2個のバッファメモリに誤り訂正速度に合わせて交互に格納するバッファメモリ格納制御手段と、

誤り訂正の対象となるデータの読み出しや書き込みがなされるバッファメモリを、相連続する1セクタ、1ECC分等所定の容量毎に交互に切り換えるアクセス対象バッファメモリ切換え制御手段とを有していることを特徴とする請求項 21 に記載の誤り訂正装置。

45. 上記バッファメモリは、1セクタ分、1ECC分等所定の容量のものを2個有し、

更に、DVDやCD-ROMから読み出した等の誤り訂正の対象となる相連続する1セクタ分、1ECC分等所定の容量のデータを上記2個のバッファメモリに誤り訂正速度に

30 合わせて交互に格納するバッファメモリ格納制御手段と、

誤り訂正の対象となるデータの読み出しや書き込みがなされるバッファメモリを、相連続する 1 セクタ、 1 E C C 分等所定の容量毎に交互に切り換えるアクセス対象バッファメモリ切換え制御手段とを有していることを特徴とする請求項 2 2 に記載の誤り訂正装置。

4 6 . 上記バッファメモリは、 1 セクタ分、 1 E C C 分等所定の容量のものを 2 個
5 有し、

更に、 D V D や C D — R O M から読み出した等の誤り訂正の対象となる相連続する 1 セクタ分、 1 E C C 分等所定の容量のデータを上記 2 個のバッファメモリに誤り訂正速度に合わせて交互に格納するバッファメモリ格納制御手段と、

誤り訂正の対象となるデータの読み出しや書き込みがなされるバッファメモリを、相連
10 続する 1 セクタ、 1 E C C 分等所定の容量毎に交互に切り換えるアクセス対象バッファメ
モリ切換え制御手段とを有していることを特徴とする請求項 2 3 に記載の誤り訂正装置。

4 7 . 上記バッファメモリは、 1 セクタ分、 1 E C C 分等所定の容量のものを 2 個
有し、

更に、 D V D や C D — R O M から読み出した等の誤り訂正の対象となる相連続する 1 セ
15 クタ分、 1 E C C 分等所定の容量のデータを上記 2 個のバッファメモリに誤り訂正速度に
合わせて交互に格納するバッファメモリ格納制御手段と、

誤り訂正の対象となるデータの読み出しや書き込みがなされるバッファメモリを、相連
続する 1 セクタ、 1 E C C 分等所定の容量毎に交互に切り換えるアクセス対象バッファメ
モリ切換え制御手段とを有していることを特徴とする請求項 2 4 に記載の誤り訂正装置。

20 4 8 . 上記バッファメモリは、 1 セクタ分、 1 E C C 分等所定の容量のものを 2 個
有し、

更に、 D V D や C D — R O M から読み出した等の誤り訂正の対象となる相連続する 1 セ
クタ分、 1 E C C 分等所定の容量のデータを上記 2 個のバッファメモリに誤り訂正速度に
合わせて交互に格納するバッファメモリ格納制御手段と、

25 誤り訂正の対象となるデータの読み出しや書き込みがなされるバッファメモリを、相連
続する 1 セクタ、 1 E C C 分等所定の容量毎に交互に切り換えるアクセス対象バッファメ
モリ切換え制御手段とを有していることを特徴とする請求項 2 5 に記載の誤り訂正装置。

4 9 . 上記バッファメモリは、 1 セクタ分、 1 E C C 分等所定の容量のものを 2 個
有し、

30 更に、 D V D や C D — R O M から読み出した等の誤り訂正の対象となる相連続する 1 セ

クタ分、1 E C C 分等所定の容量のデータを上記2個のバッファメモリに誤り訂正速度に合わせて交互に格納するバッファメモリ格納制御手段と、

誤り訂正の対象となるデータの読み出しや書き込みがなされるバッファメモリを、相連続する1セクタ、1 E C C 分等所定の容量毎に交互に切り換えるアクセス対象バッファメ

5 モリ切換え制御手段とを有していることを特徴とする請求項26に記載の誤り訂正装置。

50. 上記バッファメモリは、1セクタ分、1 E C C 分等所定の容量のものを2個有し、

更に、D V D やC D—R O Mから読み出した等の誤り訂正の対象となる相連続する1セクタ分、1 E C C 分等所定の容量のデータを上記2個のバッファメモリに誤り訂正速度に

10 合わせて交互に格納するバッファメモリ格納制御手段と、

誤り訂正の対象となるデータの読み出しや書き込みがなされるバッファメモリを、相連続する1セクタ、1 E C C 分等所定の容量毎に交互に切り換えるアクセス対象バッファメモリ切換え制御手段とを有していることを特徴とする請求項27に記載の誤り訂正装置。

要約書 (ABSTRACT OF THE DISCLOSURE)

誤り検出装置の誤り訂正に必要な時間を少なくするため、バッファメモリからシンドローム計算器へのデータ転送と同時に誤り検出器にもデータ転送を行い、シンドローム計算器で誤り符号が検出されるまでは、シンドローム計算と並行して誤り検出を実行する。そして、誤り訂正器による誤り訂正後の誤り検出は、誤り符号が検出されるまでの誤り検出途中結果を使用する。これにより、誤り検出器に全データをバッファメモリから転送する必要をなくし、誤り検出処理も途中から実行できるようにする。